

(19) 世界知的所有權機關
國際事務局



A standard linear barcode is located at the bottom of the page, spanning most of the width. It is used for tracking and identification of the journal issue.

(43) 国際公開日
2005年12月15日 (15.12.2005)

PCT

(10) 国際公開番号
WO 2005/119763 A1

(51) 国際特許分類: H01L 21/8244, 27/11

(21) 国際出願番号: PCT/JP2005/009570

(22) 国際出願日: 2005年5月25日 (25.05.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-167466 2004年6月4日 (04.06.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

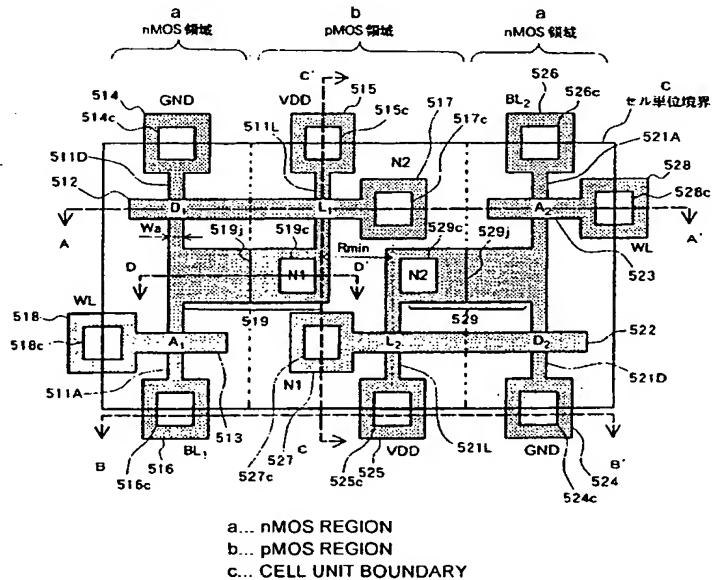
(75) 発明者/出願人(米国についてのみ): 武田晃一

(TAKEDA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 野村昌弘 (NOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 竹内潔 (TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 若林整 (WAKABAYASHI, Hitoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山上滋春 (YAMAGAMI, Shigeharu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 黄俐昭 (KOH, Risho) [CN/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 寺島浩一 (TERASHIMA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 田中克彦 (TANAKA, Katsuhiko) [JP/JP];

〔続葉有〕

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device has an SRAM cell unit having a pair of drive transistors, a pair of load transistors, and a pair of access transistors. Each of the transistors includes a semiconductor layer protruding above the basic body plane, a gate electrode extending along opposing both sides of the semiconductor layer from above, a gate insulation film arranged between the gate electrode and the semiconductor layer, and a pair of source/drain regions arranged in the semiconductor layer. Each of the drive transistors has a channel width greater than the channel width of at least the load transistor or the access transistor.

(57) 要約: 一対の駆動トランジスタと一対の負荷トランジスタと一対のアクセストランジスタを備えたSRAMセル単位を有する半導体装置であって、前記トランジスタはそれぞれ、基体平面に対して上方に突起した半導体層と、この半導体層を跨

(縹葉有)

WO 2005/119763 A1

Best Available Copy



〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 田中 聖康 (TANAKA, Masayasu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,

SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に設けられた一対のソース／ドレイン領域を有し、前記駆動トランジスタはそれぞれ、前記負荷トランジスタ及び前記アクセストランジスタの少なくとも一方の各トランジスタのチャネル幅より広いチャネル幅を有する半導体装置。

JAP20 Rec'd PCT/PTO 07 APR 2006

明細書

半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、特にSRAM(スタティックランダムアクセスメモリ:Static Random Access Memory)を備えた半導体記憶装置およびその製造方法に関するものである。

背景技術

[0002] 半導体記憶素子であるSRAMメモリセルは、以下に説明する基本構造を有する。

[0003] SRAMメモリセルは、図1の回路図に示すように、情報蓄積部としてのフリップフロップ回路、及び情報の書き込み・読み出しを行うデータ線(ビット線 BL_1 、 BL_2)とフリップフロップ回路との導通を制御する一対のアクセストランジスタ A_1 、 A_2 で構成されている。そして、フリップフロップ回路は、例えば一対のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタ D_1 (D_2)と一つの負荷トランジスタ L_1 (L_2)で構成される。

[0004] アクセストランジスタ A_1 (A_2)のソース／ドレイン領域の一方は、負荷トランジスタ L_1 (L_2)及び駆動トランジスタ D_1 (D_2)のドレインに接続され、他方はビット線 BL_1 (BL_2)に接続されている。また、一対のアクセストランジスタ A_1 、 A_2 のゲートはそれぞれワード線WLの一部を構成し、互いに接続されている。

[0005] 一方のCMOSインバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ L_1 のゲートは、他方のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ L_2 のドレイン(蓄積ノード N_2)に接続されている。また、この後者のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ L_2 のゲートは、前者のCMOSインバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ L_1 のドレイン(蓄積ノード N_1)に接続されている。このように、一対のCMOSインバータ間において、一方のCMOSインバータの入出力部と他方のCMOSインバータのゲートとが互いにローカル配線(局所配線)と呼ばれる一対の配線 I_1 、 I_2 を介してクロスカップル(交差結合)されている。

[0006] そして、駆動トランジスタD₁、D₂のソース領域には、基準電圧(V_{ss}、例えばGND)が供給され、負荷トランジスタL₁、L₂のソース領域には、電源電圧(VDD)が供給される。

[0007] 以上に説明したSRAMセルは、ノイズに強く、待機時の消費電力が小さい等の優れた素子特性を有するが、1メモリセルに6トランジスタが必要なこと、多数の配線が必要なこと、及び同一セル内にp型MOSとn型MOSとの素子分離が必要であることから、セル面積が大きくなりやすいという問題を有している。

[0008] 一方、MIS型電界効果トランジスタ(以下「FET」という)の一種として、いわゆるFIN型FETが提案されている。このFIN型FETは、基板平面に垂直方向に突起した直方体状半導体部を有し、この直方体状半導体部の一方の側面から上面を越えて反対側面まで跨ぐようにゲート電極が設けられている。そして、この直方体状半導体部とゲート電極との間にはゲート絶縁膜が介在し、主として直方体状半導体部の両側面に沿ってチャネルが形成される。このようなFIN型FETは、チャネル幅を基板平面に対して垂直方向にとれる点から微細化に有利であることに加え、カットオフ特性やキャリア移動度の向上、短チャネル効果やパンチスルーレスの低減といった種々の特性改善に有利であることが知られている。

[0009] このようなFIN型FETとして、特許文献1(特開昭64-8670号公報)には、ソース領域、ドレイン領域およびチャネル領域をもつ半導体部分がウェハ基板の平面に対してほぼ垂直な側面を有する直方体状であり、この直方体状半導体部分の高さがその幅よりも大きく、かつゲート電極が前記ウェハ基板の平面に垂直方向に延在することを特徴とするMOS電界効果トランジスタが開示されている。

[0010] 特許文献1には、前記直方体状半導体部分の一部がシリコンウェハ基板の一部である形態と、前記直方体状半導体部分の一部がSOI(Silicon On Insulator)基板の単結晶シリコン層の一部である形態が例示されている。前者を図2(a)に、後者を図2(b)に示す。

[0011] 図2(a)に示す形態では、シリコンウェハ基板101の一部を直方体状部分103とし、ゲート電極105がこの直方体状部分103の頂部を越えて両側に延在している。そして、この直方体状部分103において、ゲート電極両側の部分にソース領域およびドレ

イン領域が形成され、ゲート電極下の絶縁膜104下の部分にチャネルが形成される。チャネル幅は直方体状部分103の高さhの2倍に相当し、ゲート長はゲート電極105の幅Lに対応する。直方体状部分103は、シリコンウェハ基板101を異方性エッチングして溝を形成し、この溝の内側に残した部分で構成されている。また、ゲート電極105は、この溝内に形成した絶縁膜102上に、直方体状部分103を跨ぐように設けている。

[0012] 図2(b)に示す形態では、シリコンウェハ基板111、絶縁層112及びシリコン単結晶層からなるSOI基板を用意し、そのシリコン単結晶層をパターニングして直方体状部分113とし、そして、この直方体状部分113を跨ぐように、露出した絶縁層112上にゲート電極115を設けている。この直方体状部分113において、ゲート電極両側の部分にソース領域およびドレイン領域が形成され、ゲート電極下の絶縁膜114下の部分にチャネルが形成される。チャネル幅は直方体状部分113の高さaの2倍とその幅bとの合計に相当し、ゲート長はゲート電極115の幅Lに対応する。

[0013] 一方、特許文献2(特開2002-118255号公報)には、例えば図3(a)～(c)に示すような、複数の直方体状半導体部(凸状半導体層213)を有するFIN型FETが開示されている。図3(b)は図3(a)のB-B線断面図であり、図2(c)は図3(a)のC-C線断面図である。このFIN型FETは、シリコン基板210のウェル層211の一部で構成される凸状半導体層213を複数有し、これらが互いに平行に配列され、これらの凸状半導体層の中央部を跨いでゲート電極216が設けられている。このゲート電極216は、絶縁膜214の上面から各凸状半導体層213の側面に沿って形成されている。各凸状半導体層とゲート電極間には絶縁膜218が介在し、ゲート電極下の凸状半導体層にチャネル215が形成される。また、各凸状半導体層にはソース/ドレイン領域217が形成され、ソース/ドレイン領域217下の領域212には高濃度不純物層(パンチスルーストップペー層)が設けられている。そして、層間絶縁膜226を介して上層配線229、230が設けられ、各コンタクトプラグ228により、各上層配線とそれぞれソース/ドレイン領域207及びゲート電極216とが接続されている。このような構造によれば、凸状半導体層の側面をチャネル幅として用いることができるため、プレーナ型の従来のFETに比べて平面的な面積を小さくすることができる記載されている。

[0014] 近年、このようなFIN型FETをSRAMへ適用する試みが行われている。例えば、特許文献3(特開平2-263473号公報)には、SRAMのメモリセルを構成する一部のトランジスタ(ワード線をゲートとするトランジスタ)にFIN型FETが適用された例が記載されている。また、非特許文献1(Fu-Liang Yang et al, IEDM (International Electron Devices Meeting), 2003, p. 627~630)には、FIN型FETのSRAMへの適用の可能性が示され、非特許文献2(T. Park et al, IEDM, 2003, p. 27~30)及び非特許文献3(Jeong-Hwan Yang et al, IEDM, 2003, p. 23~26)には、それぞれFIN型FETのSRAMへの適用例が記載されている。

発明の開示

[0015] 本発明の目的は、FIN型FETを用いたSRAMを備え、高密度で且つ素子特性に優れた半導体装置を提供することにある。

[0016] 本発明は、以下の(1)項~(31)項にそれぞれ記載した態様が含まれる。

[0017] (1) 一対の第1及び第2駆動トランジスタと一対の第1及び第2負荷トランジスタと一対の第1及び第2アクセストランジスタを備えたSRAMセル単位を有する半導体装置であって、

前記トランジスタはそれぞれ、基体平面に対して上方に突起した半導体層と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に設けられた一対のソース/ドレイン領域を有し、

前記第1及び第2駆動トランジスタはそれぞれ、前記負荷トランジスタ及び前記アクセストランジスタの少なくとも一方の各トランジスタのチャネル幅より広いチャネル幅を有することを特徴とする半導体装置。

[0018] (2) 前記第1及び第2駆動トランジスタはそれぞれ、前記の各アクセストランジスタのチャネル幅より広いチャネル幅を有する1項に記載の半導体装置。

[0019] (3) 前記第1及び第2駆動トランジスタ並びに前記第1及び第2アクセストランジスタはそれぞれ、前記の各負荷トランジスタのチャネル幅より広いチャネル幅を有する1項又は2項に記載の半導体装置。

[0020] (4) 前記第1及び第2駆動トランジスタはそれぞれ、一つのトランジスタ内に前記半

導体層を複数有し、当該半導体層の数が前記の各アクセストランジスタを構成する半導体層の数より多い1項に記載の半導体装置。

[0021] (5) 前記第1及び第2駆動トランジスタ並びに前記第1及び第2アクセストランジスタはそれぞれ、一つのトランジスタ内に前記半導体層を複数有し、当該半導体層の数が前記の各負荷トランジスタを構成する半導体層の数より多い1項又は4項に記載の半導体装置。

[0022] (6) 前記第1及び第2駆動トランジスタはそれぞれ、当該駆動トランジスタの半導体層の基体平面に垂直方向の高さが、前記の各アクセストランジスタを構成する半導体層の高さより高い1項に記載の半導体装置。

[0023] (7) 前記第1及び第2駆動トランジスタ並びに前記第1及び第2アクセストランジスタはそれぞれ、当該トランジスタの半導体層の基体平面に垂直方向の高さが、前記の各負荷トランジスタを構成する半導体層の高さより高い1項又は6項に記載の半導体装置。

[0024] (8) 前記SRAMセル単位内の前記トランジスタを構成する半導体層はそれぞれ、その長手方向が第1方向に沿って配置され、
第1方向に隣接するSRAMセル単位間において、互いに対応するトランジスタ間のいずれにおいても、一方のトランジスタの半導体層の第1方向に沿った中心線上に他方のトランジスタの半導体層が配置されている1～7項のいずれかに記載の半導体装置。

[0025] (9) 前記SRAMセル単位内の前記トランジスタを構成する半導体層は、互いに等しい基体平面に平行かつ第1方向に垂直な第2方向の幅を有し、且つこれら半導体層の第1方向に沿った中心線同士の間隔がこれらの間隔の内の最小間隔の整数倍となるように配置されている8項に記載の半導体装置。

[0026] (10) 前記SRAMセル単位内において、
第1駆動トランジスタは、第1アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、第2駆動トランジスタは、第2アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、
第1負荷トランジスタは、第1駆動トランジスタの半導体層と隣接する半導体層を有

し、第2負荷トランジスタは、第2駆動トランジスタの半導体層と隣接する半導体層を有し、

第1負荷トランジスタ及び第2負荷トランジスタは、当該第1負荷トランジスタの半導体層の中心線と当該第2負荷トランジスタの半導体層の中心線との間隔が前記最小間隔を有するように配置されている9項に記載の半導体装置。

[0027] (11) 前記SRAMセル単位内において、

第1負荷トランジスタは、第1アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、第2負荷トランジスタは、第2アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、

第1駆動トランジスタは、第1負荷トランジスタの半導体層と隣接する半導体層を有し、第2駆動トランジスタは、第2負荷トランジスタの半導体層と隣接する半導体層を有し、

第1駆動トランジスタ及び第2駆動トランジスタは、当該第1駆動トランジスタの半導体層の中心線と当該第2駆動トランジスタの半導体層の中心線との間隔が前記最小間隔を有するように配置されている9項に記載の半導体装置。

[0028] (12) 互いに隣接する第1駆動トランジスタの半導体層と第1負荷トランジスタの半導体層との第1方向に沿った中心線同士の間隔、および互いに隣接する第2駆動トランジスタの半導体層と第2負荷トランジスタの半導体層との第1方向に沿った中心線同士の間隔が、それぞれ、前記最小間隔の少なくとも2倍である9～11項のいずれかに記載の半導体装置。

[0029] (13) 第2方向に隣接するSRAMセル単位間において一方のSRAMセル単位のアクセストランジスタと他方のSRAMセル単位のアクセストランジスタが互いに隣接するように配置され、一方のアクセストランジスタの半導体層の第1方向に沿った中心線と他方のアクセストランジスタの半導体層の第1方向に沿った中心線との間隔が、前記最小間隔の少なくとも2倍である9～12項のいずれかに記載の半導体装置。

[0030] (14) 前記SRAMセル単位内において、

第1駆動トランジスタのゲート電極と第1負荷トランジスタのゲート電極は、第1方向に垂直な第2方向に沿った第1配線で構成され、第2駆動トランジスタのゲート電極と

第2負荷トランジスタのゲート電極は、第2方向に沿った第2配線で構成され、

第1アクセストランジスタのゲート電極は、第2配線の第2方向に沿った中心線上に配置された第3配線で構成され、第2アクセストランジスタのゲート電極は、第1配線の第2方向に沿った中心線上に配置された第4配線で構成されている8～13項のいずれかに記載の半導体装置。

[0031] (15) 第1駆動トランジスタのソース領域に接続するグランド線コンタクト、第1負荷トランジスタのソース領域に接続する電源線コンタクト及び第2アクセストランジスタのソース／ドレイン領域に接続するビット線コンタクトが、第2方向に沿った一方のセル単位境界の1ライン上に配置され、

第2駆動トランジスタのソース領域に接続するグランド線コンタクト、第2負荷トランジスタのソース領域に接続する電源線コンタクト及び第1アクセストランジスタのソース／ドレイン領域に接続するビット線コンタクトが、第2方向に沿った他方のセル単位境界の1ライン上に配置されている8～14項のいずれかに記載の半導体装置。

[0032] (16) グランド線コンタクト、電源線コンタクト及びビット線コンタクトはそれぞれ、ゲート電極下の半導体層の第2方向の幅より広い第2方向の幅を有し且つ当該半導体層と一体に形成されたパッド半導体層上に接続されている8～15項のいずれかに記載の半導体装置。

[0033] (17) 隣接するSRAMセル単位同士がセル単位境界を対称軸とする鏡像関係にある8～16項のいずれかに記載の半導体装置。

[0034] (18) 前記SRAMセル単位内の前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成されている1～17項のいずれかに記載の半導体装置。

[0035] (19) 前記SRAMセル単位内において、

前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、

第1駆動トランジスタは、第1アクセストランジスタの半導体層および第1負荷トランジスタの半導体層と一体に形成された半導体層を有し、第2駆動トランジスタは、第2アクセストランジスタの半導体層および第2負荷トランジスタの半導体層と一体に形成さ

れた半導体層を有する8～17項のいずれかに記載の半導体装置。

[0036] (20) 前記SRAMセル単位内において、

前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、

前記絶縁層上に、第1駆動トランジスタの半導体層、第1負荷トランジスタの半導体層及び第1アクセストランジスタの半導体層と一緒に形成され、第1導電型の領域と第2導電型の領域との接合部を有する第1半導体層領域、ならびに第2駆動トランジスタの半導体層、第2負荷トランジスタの半導体層及び第2アクセストランジスタの半導体層と一緒に形成され、第1導電型の領域と第2導電型の領域との接合部を有する第2半導体層領域を有し、

第1駆動トランジスタのドレイン領域と第1負荷トランジスタのドレイン領域に接続する第1ノードコンタクトが前記第1半導体層領域上に接続し、第2駆動トランジスタのドレイン領域と第2負荷トランジスタのドレイン領域に接続する第2ノードコンタクトが前記第2半導体層領域上に接続している8～17項のいずれかに記載の半導体装置。

[0037] (21) 前記SRAMセル単位内の前記トランジスタを構成する半導体層はそれぞれ、半導体基板の一部で構成され、この半導体基板上に設けられた分離絶縁膜の上面に対して突起している1～17項のいずれかに記載の半導体装置。

[0038] (22) 8～17項のいずれかに記載の半導体装置の製造方法であって、

半導体層をパターニングして、第1方向に延在し、第1方向に垂直な第2方向の幅が互いに等しい長尺半導体層が等間隔に配置された縞状パターンを有する半導体層パターンを形成する工程と、

前記縞状パターンの一部を除去する工程と、

残された長尺半導体層の側面にゲート絶縁膜を形成する工程と、

ゲート電極材料を堆積し、このゲート電極材料堆積膜をパターニングして前記長尺半導体層を跨ぐようにその上部から相対する両側面上に第2方向に沿って延在するゲート電極を形成する工程と、

前記長尺半導体層に不純物を導入してソース／ドレイン領域を形成する工程を有する半導体装置の製造方法。

[0039] (23) 前記半導体層パターンは、SRAMセル単位境界に対応する矩形単位境界の四辺のそれぞれを対称軸とする線対称となるように形成される22項に記載の半導体装置の製造方法。

[0040] (24) 前記半導体層パターンの形成工程において、前記長尺半導体層と交差する、当該長尺半導体層の第2方向の幅より広い第1方向の幅を持つ帯状パターンを形成し、

前記縞状パターンの一部を除去する工程において、この帯状パターンの一部も除去して、前記長尺半導体層の第2方向の幅より広い第2方向の幅を有するパッド半導体層を形成し、

さらに、全面に層間絶縁膜を形成した後、このパッド半導体層上に接続するコンタクトプラグを形成する工程を有する22項又は23項に記載の半導体装置の製造方法。

[0041] (25) 前記SRAMセル単位内において、

第1及び第2アクセストランジスタの半導体層は、その長手方向が第1方向に沿って配置され、第1方向に垂直な第2方向に沿って互いに隣り合って平行配列され、

第1及び第2アクセストランジスタのゲート電極は、当該アクセストランジスタの各半導体層と交差するように第2方向に沿って配置された共通のワード配線により構成され、

第1駆動トランジスタ及び第1負荷トランジスタの半導体層は、その長手方向が第2方向に沿って配置され、第1方向に沿って互いに隣り合って平行配列され、

第2駆動トランジスタ及び第2負荷トランジスタの半導体層は、その長手方向が第2方向に沿って配置され、第1方向に沿って互いに隣り合って平行配列されている1～7項のいずれかに記載の半導体装置。

[0042] (26) 前記SRAMセル単位内において、

前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、

第1駆動トランジスタは、第1アクセストランジスタの半導体層および第1負荷トランジスタの半導体層と一体に形成された半導体層を有し、第2駆動トランジスタは、第2ア

クセストランジスタの半導体層および第2負荷トランジスタの半導体層と一緒に形成された半導体層を有する25項に記載の半導体装置。

[0043] (27) 前記SRAMセル単位内において、

前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、

前記絶縁層上に、第1駆動トランジスタの半導体層、第1負荷トランジスタの半導体層及び第1アクセストランジスタの半導体層と一緒に形成され、第1導電型の領域と第2導電型の領域との接合部を有する第1半導体層領域、ならびに第2駆動トランジスタの半導体層、第2負荷トランジスタの半導体層及び第2アクセストランジスタの半導体層と一緒に形成され、第1導電型の領域と第2導電型の領域との接合部を有する第2半導体層領域を有し、

第1駆動トランジスタのドレイン領域と第1負荷トランジスタのドレイン領域に接続する第1ノードコンタクトが前記第1半導体層領域上に接続し、第2駆動トランジスタのドレイン領域と第2負荷トランジスタのドレイン領域に接続する第2ノードコンタクトが前記第2半導体層領域上に接続している25項に記載の半導体装置。

[0044] (28) 隣接するSRAMセル単位間において、各トランジスタを構成する半導体層を含む半導体層パターン及び各ゲート電極を構成するゲート配線パターンが、セル単位境界を対称軸とする鏡像関係にある25～27項のいずれかに記載の半導体装置。

[0045] (29) 1項に記載の半導体装置の製造方法であって、

駆動トランジスタの形成領域に比べてアクセストランジスタ及び負荷トランジスタの少なくとも一方の形成領域の厚みが薄くなるように半導体層を部分的に薄層化する工程と、

前記工程により部分的に薄層化された半導体層をパターニングして、各トランジスタを構成する半導体層を有する半導体層パターンを形成する工程と、

前記半導体層の側面にゲート絶縁膜を形成する工程と、

ゲート電極材料を堆積し、このゲート電極材料堆積膜をパターニングして、各トランジスタを構成する半導体層を跨ぐようにその上部から相対する両側面上にゲート電極を形成する工程と、

前記半導体層にソース／ドレイン領域を形成する工程を有する半導体装置の製造方法。

[0046] (30) 前記薄層化工程において、駆動トランジスタの形成領域に比べてアクセストランジスタの形成領域の厚みが薄くなるように半導体層を部分的に薄層化し、第1及び第2駆動トランジスタを構成する各半導体層の基体平面に垂直方向の高さが、第1及び第2アクセストランジスタを構成する半導体層の高さより高いSRAMセル単位を形成する、29項に記載の半導体装置の製造方法。

[0047] (31) 前記薄層化工程において、駆動トランジスタ及びアクセストランジスタの形成領域に比べて負荷トランジスタの形成領域の厚みが薄くなるように半導体層を部分的に薄層化し、

第1及び第2駆動トランジスタ並びに第1及び第2アクセストランジスタを構成する各半導体層の基体平面に垂直方向の高さが、第1及び第2負荷トランジスタを構成する半導体層の高さより高いSRAMセル単位を形成する、29項又は30項に記載の半導体装置の製造方法。

[0048] 本発明によれば、高密度で且つ素子特性に優れた、FIN型FETが適用されたSRAM構造を有する半導体装置を提供することができる。

図面の簡単な説明

[0049] [図1]SRAMの回路図

[図2]従来のFIN型FETの素子構造の説明図

[図3]従来のFIN型FETの素子構造の説明図

[図4]本発明に適用するFIN型FETの素子構造の説明図

[図5]本発明におけるSRAMセル単位の基本素子構造の説明図(平面図)

[図6]本発明におけるSRAMセル単位の基本素子構造の説明図(断面図)

[図7]本発明におけるSRAMセル単位の基本素子構造の説明図(断面図)

[図8]本発明におけるSRAM構造の製造方法の説明図

[図9]本発明におけるSRAM構造の製造方法の説明図

[図10]本発明におけるSRAM構造の製造方法の説明図

[図11]本発明におけるSRAM構造の製造方法の説明図

- [図12]本発明におけるSRAMセル単位の素子構造の説明図
- [図13]本発明におけるSRAMセル単位の素子構造の説明図
- [図14]本発明におけるSRAMセル単位の素子構造の説明図
- [図15]本発明におけるSRAMセル単位の素子構造の説明図
- [図16]本発明におけるSRAMセル単位の素子構造の説明図
- [図17]本発明におけるSRAMセル単位の素子構造の説明図
- [図18]本発明におけるSRAMセル単位の素子構造の説明図
- [図19]本発明におけるSRAMセル単位の素子構造の説明図
- [図20]本発明におけるSRAMセル単位の素子構造の説明図
- [図21]本発明におけるSRAMセル単位の素子構造の説明図
- [図22]本発明におけるSRAMセル単位の素子構造の説明図
- [図23]本発明におけるSRAMセル単位の素子構造の説明図
- [図24]本発明におけるSRAMセル単位の素子構造の説明図
- [図25]本発明におけるSRAMセル単位の素子構造の説明図
- [図26]本発明におけるSRAMセル単位の素子構造の説明図
- [図27]本発明におけるSRAMセル単位の素子構造の説明図
- [図28]本発明におけるSRAMセル単位の素子構造の説明図
- [図29]本発明におけるSRAMセル単位の素子構造の説明図
- [図30]本発明におけるSRAM構造の製造方法の説明図
- [図31]本発明におけるSRAM構造の製造方法の説明図
- [図32]本発明におけるSRAMセル単位の素子構造の説明図
- [図33]本発明におけるSRAMセル単位の素子構造の説明図
- [図34]本発明におけるSRAMセル単位の素子構造の説明図
- [図35]本発明におけるSRAM構造の製造方法の説明図
- [図36]本発明におけるSRAMセル単位の素子構造の説明図(断面図)

発明を実施するための最良の形態

[0050] [FIN型FETの構成]

本発明におけるSRAM構造に適用されるFIN型FETとしては、例えば図4に示す

ように、基体平面に対して垂直方向に上方へに突起した半導体層303と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極304と、このゲート電極304と半導体層303の間に介在するゲート絶縁膜305と、半導体層303に設けられたソース／ドレイン領域306を有する電界効果型トランジスタを用いることができる。

[0051] FIN型FETを構成する基体平面から垂直方向に上方へ突起した半導体層(以下適宜「突起半導体層」という)は、例えば図4に示すように半導体基板301上のベース絶縁膜302上に設けられた半導体層を用いることができる。本発明において、基体平面とは基板に平行な任意の面を意味し、ここではベース絶縁膜表面を意味する。このベース絶縁膜自体を基板とすることもできる。また、後述するように、半導体基板をパターニングして半導体パターンを形成し、その半導体パターン間に設けられた分離絶縁層の表面に対して上方に突起する半導体層部分をFIN型FETの突起半導体層として利用することができる。この後者の構成は、素子の駆動により半導体層で発生した熱や電荷を半導体基板へ逃がすことができるため、放熱性や基板浮遊効果抑制の点で有利である。FIN型FETの突起半導体層の形状は、加工精度に応じた略直方体形状をとることができが、所望の素子特性が得られる範囲内で直方体から変形した形状であってもよい。

[0052] 本発明におけるFIN型FETにおいて、ゲート電極は、突起半導体層を跨ぐようにその上部から相対する両側面上に延在し、このゲート電極と突起半導体層の間にはゲート絶縁膜が介在する。突起半導体層のゲート電極下の部分には、所定のしきい値電圧に応じて比較的低濃度に不純物が導入され、ゲート電極への電圧印加によりチャネルが形成される。この突起半導体層の各側面(基体平面に垂直方向の面)とゲート電極との間に介在する絶縁膜をゲート絶縁膜として機能させることで、突起半導体層の相対する両側面にチャネルを形成することができる。突起半導体層の上面とゲート電極との間に厚いキャップ絶縁膜を設けることで、突起半導体層の上面にチャネルを形成させない構成にすることができる。一方、突起半導体層の上面とゲート電極との間に、側面に設けたゲート絶縁膜と同程度の薄い絶縁膜を設けることにより、突起半導体層の上面にもチャネルを形成できる構成とすることも可能である。ここで、

チャネル長方向は、突起半導体層303の長手方向、すなわちゲート長L方向である。ソース／ドレイン領域306は、通常突起半導体層303のゲート電極両側部分に高濃度の不純物が導入された拡散層で構成される。または、ソース／ドレイン領域を金属とすることで、いわゆるショットキー・ソース／ドレイン・トランジスタとしてもよい。

[0053] 本発明におけるFIN型FETは、一つのトランジスタ内に複数の突起半導体層を平行配列して有し、これらの複数の突起半導体層に跨って設けられた導体配線でゲート電極が構成された、いわゆるマルチ構造をとってもよい。それぞれの突起半導体層に係る素子構造は、前述と同様な構造にすることができる。素子特性の均一性や加工精度の観点から突起半導体層の幅W(基板平面に平行かつチャネル長方向に垂直方向の幅)は互いに等しいことが好ましい。

[0054] 本発明におけるFin型MISFETは、その突起半導体層の相対する両側面に主たるチャネルが形成されるものが好ましく、またそのゲート電極下の突起半導体層の幅Wが、動作時に当該半導体層の両側面からそれぞれ形成される空乏層により完全に空乏化される幅であることが好ましい。このような構成は、カットオフ特性やキャリア移動度の向上、基板浮遊効果の低減に有利である。このような構成が得られる素子構造としては、ゲート電極下の突起半導体層の幅Wが、当該半導体層の高さHの2倍以下、あるいはゲート長L以下であることが好ましい。具体的には、ゲート電極下の突起半導体層の幅Wは、加工精度や強度等の観点から、5nm以上に設定することが好ましく、10nm以上がより好ましく、一方、当該半導体層の側面に形成されるチャネルを支配的なチャネルとし且つ完全空乏型の構造を得る観点から、60nm以下に設定することが好ましく、30nm以下がより好ましい。

[0055] 本発明におけるFIN型FETの具体的寸法等は、例えば、突起半導体層の幅W:5～100nm、突起半導体層の高さH:20～200nm、ゲート長L:10～100nm、ゲート絶縁膜の厚さ:1～5nm(SiO_2 の場合)、チャネル形成領域の不純物濃度:0～ $1 \times 10^{19} \text{ cm}^{-3}$ 、ソース／ドレイン領域の不純物濃度: $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲で適宜設定することができる。なお、突起半導体層の高さHは、ベース絶縁膜表面あるいは分離絶縁膜表面から上方に突出した半導体層部分の基板平面に垂直方向の長さを意味する。また、チャネル形成領域は、突起半導体層のゲート電極下の部分

をいう。

[0056] 以上に説明した素子構造において、ベース絶縁膜あるいは分離絶縁膜の材料としては、所望の絶縁性を有するものであれば特に制限はなく、例えば SiO_2 、 Si_3N_4 、 AlN 、アルミナ等の金属酸化物や、有機絶縁材料を挙げることができる。

[0057] FIN型FETの突起半導体層を形成する半導体としては単結晶シリコンを好適に用いることができる。

[0058] ベース絶縁膜下の基板としてはシリコン基板を用いることができるが、シリコン基板に限られず、突起半導体層の下に絶縁体があれば本発明を構成することができる。例えば、SOS(シリコン・オン・サファイア、シリコン・オン・スピネル)のように、半導体層下の絶縁体自体が支持基板となる構造を挙げることができる。絶縁性の支持基板としては、上記SOSの他、石英や AlN 基板が挙げられる。SOI(silicon on insulator)の製造技術(貼り合わせ工程および薄膜化工程)によってこれらの支持基板上に半導体層を設けることができる。

[0059] 本発明におけるゲート電極の材料としては、所望の導電率及び仕事関数を持つ導電体を用いることができ、例えば不純物が導入された多結晶シリコン、多結晶 SiGe 、多結晶 Ge 、多結晶 SiC 等の不純物導入半導体、 Mo 、 W 、 Ta 等の金属、 TiN 、 WN 等の金属窒化物、コバルトシリサイド、ニッケルシリサイド、白金シリサイド、エルビウムシリサイド等のシリサイド化合物が挙げられる。また、ゲート電極の構造は、単層膜の他、多結晶シリコン膜と金属膜との積層膜、金属膜同士の積層膜、多結晶シリコン膜とシリサイド膜との積層膜等の積層構造を用いることができる。

[0060] 本発明におけるゲート絶縁膜としては、 SiO_2 膜、 SiON 膜を用いることができる他、いわゆる高誘電体絶縁膜(High-K膜)を用いてもよい。High-K膜としては、例えば、 Ta_2O_5 膜、 Al_2O_3 膜、 La_2O_3 膜、 HfO_2 膜、 ZrO_2 膜等の金属酸化膜、 HfSiO 、 ZrSiO 、 HfAlO 、 ZrAlO 等の組成式で示される複合金属酸化物を挙げることができる。また、ゲート絶縁膜は積層構造を有していてもよく、例えばシリコン等の半導体層に、 SiO_2 や HfSiO 等のシリコン含有酸化膜を形成し、その上にHigh-K膜を設けた積層膜を挙げることができる。

[0061] [SRAMセル単位の回路構成]

本発明に好適なSRAMのメモリセル単位は、図1の回路図により示される回路を有し、一対の駆動トランジスタ D_1 、 D_2 と一対の負荷トランジスタ L_1 、 L_2 と一対のアクセストランジスタ A_1 、 A_2 の合計6つのトランジスタが配置される。一対の駆動トランジスタ D_1 、 D_2 と一対のアクセストランジスタ A_1 、 A_2 は第1導電型(例えばnチャネル型)、一対の負荷トランジスタ L_1 、 L_2 は第2導電型(例えばpチャネル型)の電界効果型トランジスタである。

[0062] 一対の駆動トランジスタ D_1 、 D_2 と一対の負荷トランジスタ L_1 、 L_2 は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路は、一対のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタ D_1 (D_2)と一つの負荷トランジスタ L_1 (L_2)で構成される。

[0063] アクセストランジスタ A_1 (A_2)のソース/ドレインの一方は、負荷トランジスタ L_1 (L_2)及び駆動トランジスタ D_1 (D_2)のドレインに接続され、他方はビット線 BL_1 (BL_2)に接続されている。また、一対のアクセストランジスタ A_1 、 A_2 のゲートはそれぞれワード線 WL に接続されている。

[0064] 一方のCMOSインバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ L_1 のゲートは、他方のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ A_2 のドレイン(蓄積ノード N_2)に接続されている。また、この後者のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ L_2 のゲートは、前者のCMOSインバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ L_1 のドレイン(蓄積ノード N_1)に接続されている。このように、一対のCMOSインバータ間において、一方のCMOSインバータの入出力部(蓄積ノード)と他方のCMOSインバータのゲートとが互いにローカル配線(局所配線)と呼ばれる一対の配線 I_1 、 I_2 を介してクロスカップル(交差結合)されている。

[0065] 駆動トランジスタ D_1 、 D_2 のソースには基準電圧(例えばGND)が供給され、負荷トランジスタ L_1 、 L_2 のソースには電源電圧(VDD)が供給される。

[0066] [SRAMの素子構造]

図1に示すSRAMにおいて、アクセストランジスタをオンにしてデータを読み出す際にデータの破壊が生じやすい。アクセストランジスタがオンの状態でデータを破壊す

るのに必要なノイズの大きさをノイズ・マージンと称し、これが大きいほどノイズ耐性が高い。ノイズ・マージンを拡大するには、駆動トランジスタの駆動能力をアクセストランジスタの駆動能力に比べて大きくすることが望ましい。一方、SRAMの動作速度は、駆動トランジスタとアクセストランジスタの駆動能力が高い方が大きくなる。よって、動作速度の観点からは、駆動トランジスタとアクセストランジスタの駆動能力を高くすることが望ましい。本発明は、要求される動作速度とノイズ耐性を勘案して各トランジスタの駆動能力が設定でき、所望のSRAM素子特性を得ることができる技術を提供する。

[0067] 本発明の主な特徴の一つは、SRAMセル単位において、各トランジスタにFIN型FETが適用され、駆動トランジスタD₁、D₂はそれぞれ、負荷トランジスタ(L₁、L₂)及びアクセストランジスタ(A₁、A₂)の少なくとも一方の各トランジスタのチャネル幅より広いチャネル幅を有することにある。

[0068] 駆動トランジスタD₁、D₂及びアクセストランジスタA₁、A₂のチャネル幅を広くすることにより駆動能力を増大することができる。また、駆動トランジスタD₁、D₂のチャネル幅をアクセストランジスタA₁、A₂のチャネル幅より広くすることにより、ノイズマージンを拡大することができ、ノイズ耐性に優れた半導体装置を提供することができる。

[0069] 上述の構造を有する形態としては、SRAMセル単位内のトランジスタ間で一つのトランジスタを構成する突起半導体層の数が異なる形態(A)と、SRAMセル単位内のトランジスタ間で突起半導体層の高さが異なる形態(B)を挙げることができる。

[0070] 具体的には、以下の形態を挙げることができる。

[0071] (A-1) 駆動トランジスタD₁、D₂及びアクセストランジスタA₁、A₂はそれぞれ、一つのトランジスタ内に突起半導体層を複数有し、その一つのトランジスタを構成する突起半導体層の数が各負荷トランジスタL₁、L₂を構成する突起半導体層の数より多い形態、

(A-2) 駆動トランジスタD₁、D₂はそれぞれ、一つのトランジスタ内に突起半導体層を複数有し、これらの突起半導体層の数が各アクセストランジスタA₁、A₂を構成する突起半導体層の数より多い形態。

[0072] (B-1) 駆動トランジスタD₁、D₂及びアクセストランジスタA₁、A₂はそれぞれ、当該ト

ランジスタの突起半導体層の基体平面に垂直方向の高さHが、各負荷トランジスタを構成する突起半導体層の高さより高い形態、

(B-2) 駆動トランジスタ D_1 、 D_2 はそれぞれ、当該駆動トランジスタの突起半導体層の基体平面に垂直方向の高さHが、各アクセストランジスタ A_1 、 A_2 を構成する突起半導体層の高さより高い形態。

[0073] 突起半導体層の数を変える形態(A-1)及び(A-2)では、基体平面に垂直方向の側面をチャネル幅として用いる突起半導体層を一つのトランジスタ内に複数有するいわゆるマルチ構造を有するため、チャネル幅あたりの必要な平面的面積を小さくすることができ、微細化に有利である。また、このマルチ構造を有する形態は、チャネル幅の異なる複数種のトランジスタをSRAMセル単位内に設ける場合、一つのトランジスタ内の突起半導体層の数を変えることにより所望のチャネル幅に設定することができるので、製造が容易である。また、突起半導体層の高さを一定として、同形状の突起半導体の数でチャネル幅を制御することができるため、素子特性の均一性を高めることができる。

[0074] 一方、突起半導体層の高さを変える形態(B-1)及び(B-2)では、チャネル幅の異なる複数種のトランジスタをSRAMセル単位内に設ける場合、突起半導体層の基体平面に垂直方向の側面をチャネル幅として用いる突起半導体層の高さによってチャネル幅を制御することができるため、チャネル幅あたりの必要な平面的面積を小さくすることができ、微細化に有利である。高さの異なる突起半導体層間の高さの比率は、所望の素子特性に応じて適宜設定することができるが、例えば、低い突起半導体層の高さに対する高い半導体層の高さの比を1.2～5倍の範囲に設定することができ、典型的には1.5～3倍の範囲に設定することができる。この比率が低すぎると、所望の特性が得られなくなり、逆に高すぎると、素子特性の均一性が低下する場合がある。

[0075] 以下に、図面を用いて本発明に好適なSRAMセル単位の素子構造を説明する。

[0076] まず、本発明のSRAMセル単位の基本的な素子構造について図5～図7に示す構造を挙げて説明する。これらの図は、説明および図面の簡略化のため、SRAMセル単位内の各トランジスタの突起半導体層の数および高さが同じであり、チャネル幅

が一定である構造を示している。この構造において、前述の(A-1)、(A-2)、(B-1)及び(B-2)のいずれかの形態をとることにより本発明に好適なSRAM構造を得ることができる。

[0077] 図5は平面図、図6(a)はA—A'線断面図、図6(b)はB—B'線断面図、図6(c)はC—C'線断面図、図7はD—D'線断面図である。なお、図5においては側壁絶縁膜508を省略し、図6(a)～(c)において左右両側の縦方向の破線はセル単位境界を示す。

[0078] 図5に示すように、セル単位境界内には、半導体基板501上に設けられた絶縁層502上に、nチャネル型の駆動トランジスタD₁、D₂、pチャネル型の負荷トランジスタL₁、L₂、nチャネル型のアクセストランジスタA₁、A₂が、図1の回路を構成するように配置されている。nMOS領域の半導体層部分はn型領域、pMOS領域の半導体層部分はp型領域である。

[0079] 一方の駆動トランジスタD₁は、突起半導体層511Dと、この突起半導体層511Dを跨ぐようにその上部から相対する両側面に延在するゲート電極512と、このゲート電極512と突起半導体層511D間に介在するゲート絶縁膜505と、突起半導体層511Dのゲート電極両側に設けられたソース／ドレイン領域を有する(図6(a))。この例では、突起半導体層の上部とゲート電極間にはキャップ絶縁膜504が設けられ、突起半導体層上面にはチャネルが形成されてない構成をとっている。他のトランジスタも同様にキャップ絶縁膜を有している。他方の駆動トランジスタD₂は、突起半導体層521Dと、この突起半導体層521Dを跨ぐようにその上部から相対する両側面に延在するゲート電極522と、このゲート電極522と突起半導体層521D間に介在するゲート絶縁膜505と、突起半導体層521Dのゲート電極両側に設けられたソース／ドレイン領域を有する。

[0080] 一方の負荷トランジスタL₁は、突起半導体層511Lと、この突起半導体層511Lを跨ぐようにその上部から相対する両側面に延在するゲート電極512と、このゲート電極512と突起半導体層511L間に介在するゲート絶縁膜505と、突起半導体層511Lのゲート電極両側に設けられたソース／ドレイン領域を有する(図6(a)、(c))。他方の負荷トランジスタL₂は、突起半導体層521Lと、この突起半導体層521Lを跨ぐよ

うにその上部から相対する両側面に延在するゲート電極522と、このゲート電極522と突起半導体層521L間に介在するゲート絶縁膜505と、突起半導体層521Lのゲート電極両側に設けられたソース／ドレイン領域を有する。

[0081] 一方のアクセストランジスタA₁は、突起半導体層511Aと、この突起半導体層511Aを跨ぐようにその上部から相対する両側面に延在するゲート電極513と、このゲート電極513と突起半導体層511A間に介在するゲート絶縁膜505と、突起半導体層511Aのゲート電極両側に設けられたソース／ドレイン領域を有する。他方のアクセストランジスタA₂は、突起半導体層521Aと、この突起半導体層521Aを跨ぐようにその上部から相対する両側面に延在するゲート電極523と、このゲート電極523と突起半導体層521A間に介在するゲート絶縁膜505と、突起半導体層521Aのゲート電極両側に設けられたソース／ドレイン領域を有する(図6(a))。

[0082] SRAMを構成する各トランジスタは、図36に示す構造をとってもよい。図36は、図6(a)に対応する断面構造を示し、この構造においては、ゲート絶縁膜およびゲート電極が突起半導体層の下面にわたって形成されている。このような構造によれば、突起半導体層の下面もチャネルとして利用でき、トランジスタの駆動能力を向上することができる。この構造は、例えば、絶縁層502を、突起半導体層をマスクとしてフッ酸等により等方的にエッチングして突起半導体層下部において後退させた後、ゲート絶縁膜とゲート電極を形成することで得ることができる。

[0083] 駆動トランジスタD₁は、そのソース領域が、突起半導体層511Dと一体に形成されたパッド半導体層514に接続するコンタクトプラグ514cを介してグラント線(GND)へ接続される。一方、そのドレイン領域は、突起半導体層511Dと一体に形成された第1ノード半導体層519に接続するコンタクトプラグ519cを介して駆動トランジスタD₂及び負荷トランジスタL₂のゲート電極522に接続される。

[0084] 負荷トランジスタL₁は、そのソース領域が、突起半導体層511Lと一体に形成されたパッド半導体層515に接続するコンタクトプラグ515cを介して電源線VDD(上層配線601g)へ接続される。一方、そのドレイン領域は、突起半導体層511Lと一体に形成された第1ノード半導体層519に接続するコンタクトプラグ519cを介して駆動トランジスタD₂及び負荷トランジスタL₂のゲート電極522に接続される。

[0085] アクセストランジスタA₁は、そのソース/ドレイン領域の一方が、突起半導体層511Aと一体に形成されたパッド半導体層516に接続するコンタクトプラグ516cを介してビット線BL₁(上層配線601c)に接続される。そのソース/ドレイン領域の他方は、突起半導体層511Aと一体に形成された第1ノード半導体層519に接続するコンタクトプラグ519cを介して駆動トランジスタD₂及び負荷トランジスタL₂のゲート電極522に接続される。

[0086] 駆動トランジスタD₂は、そのソース領域が、突起半導体層521Dと一体に形成されたパッド半導体層524に接続するコンタクトプラグ524cを介してグランド線GND(上層配線601e)へ接続される。一方、そのドレイン領域は、突起半導体層521Dと一体に形成された第2ノード半導体層529に接続するコンタクトプラグ529cを介して駆動トランジスタD₁及び負荷トランジスタL₁のゲート電極512に接続される。

[0087] 負荷トランジスタL₂は、そのソース領域が、突起半導体層521Lと一体に形成されたパッド半導体層525に接続するコンタクトプラグ525cを介して電源線VDD(上層配線601d)へ接続される。一方、そのドレイン領域は、突起半導体層521Lと一体に形成された第2ノード半導体層529に接続するコンタクトプラグ529cを介して駆動トランジスタD₁及び負荷トランジスタL₁のゲート電極512に接続される。

[0088] アクセストランジスタA₂は、そのソース/ドレイン領域の一方が、突起半導体層521Aと一体に形成されたパッド半導体層526に接続するコンタクトプラグ526cを介してビット線BL₂に接続される。そのソース/ドレイン領域の他方は、突起半導体層521Aと一体に形成された第2ノード半導体層529に接続するコンタクトプラグ529cを介して駆動トランジスタD₁及び負荷トランジスタL₁のゲート電極512に接続される。

[0089] 駆動トランジスタD₁及び負荷トランジスタL₁のゲート電極は、共通のゲート用配線512で構成され、ゲート電極の幅(ゲート長L)より広い幅を有するパッド電極517に接続するコンタクトプラグ517cおよび上層配線601aを介して第2ノード半導体層529に接続される。

[0090] 駆動トランジスタD₂及び負荷トランジスタL₂のゲート電極は、共通のゲート用配線522で構成され、ゲート電極の幅(ゲート長L)より広い幅を有するパッド電極527に接続するコンタクトプラグ527cおよび上層配線601fを介して第1ノード半導体層519に

接続される。

- [0091] アクセストランジスタA₁のゲート電極513は、そのゲート電極513の長手方向の中心線がゲート用配線522の長手方向の中心線と一致するように配置され、ゲート電極の幅(ゲート長)より広い幅を有するパッド電極518に接続するコンタクトプラグ518cを介してワード線WLに接続される。
- [0092] アクセストランジスタA₂のゲート電極523は、そのゲート電極523の長手方向の中心線がゲート用配線512の長手方向の中心線と一致するように配置され、ゲート電極の幅(ゲート長)より広い幅を有するパッド電極528に接続するコンタクトプラグ528cを介してワード線WL(上層配線601b)に接続される。
- [0093] 本発明のSRAM構造において、隣接するSRAMセル単位同士がセル単位境界を対称軸とする鏡像関係にあることが好ましい。すなわち、隣接するSRAMセル単位間において、突起半導体層を構成する半導体層パターン、ゲート電極を構成する配線パターン、及びコンタクトのレイアウトがセル単位境界の四辺のそれぞれを対称軸とする線対称(ミラー反転)となるように配置されることが好ましい。
- [0094] 以上の構成をとることにより、高密度なSRAMセル単位を形成することができるが、さらに、例えば図5に示される以下のレイアウト構成をとることにより製造が容易で且つ高精度に形成可能なSRAM構造を得ることができる。
- [0095] SRAMセル単位内の各トランジスタを構成する突起半導体層はそれぞれ、その長手方向(チャネル長方向)が第1方向(図5中の上下の縦方向、すなわちC—C'線方向)に沿って設けられ、且つこれら突起半導体層の第1方向に沿った中心線同士の間隔がこれら間隔の内の最小間隔の整数倍となるように配置される。そして、これらの突起半導体層は互いに等しい幅W(Wa)を有している。この最小間隔としては、一方の負荷トランジスタL₁の突起半導体層の中心線と他方の負荷トランジスタL₂の突起半導体層の中心線との間隔が最小間隔Rminを有していることが好ましい。なお、突起半導体層の中心線とは、突起半導体層の幅W(基体平面に平行かつチャネル長方向に垂直方向の幅)の中点を通過する当該突起半導体層の長手方向(チャネル長方向)に沿った線をいう。
- [0096] また、これらの突起半導体層のいずれについても、第1方向に隣接するSRAMセ

ル単位において、互いに対応するトランジスタ間の一方のトランジスタの突起半導体層の中心線と他方のトランジスタの突起半導体層の中心線が1ライン上にあるように配置されることが望ましいが、前記の最小間隔の20%以下、好ましくは10%以下のずれ程度であれば、十分な効果を得ることができる。

[0097] さらに、SRAMセル単位内において、一方の駆動トランジスタD₁は、一方のアクセストランジスタA₁の突起半導体層と一体に形成され且つその突起半導体層の中心線上に配置された半導体層を有し、他方の駆動トランジスタD₂は、他方のアクセストランジスタA₂の突起半導体層と一体に形成され且つその突起半導体層の中心線上に配置された半導体層を有している。そして、一方の負荷トランジスタL₁は、一方の駆動トランジスタD₁の突起半導体層と隣接する半導体層を有し、他方の負荷トランジスタL₂は、他方の駆動トランジスタD₂の突起半導体層と隣接する半導体層を有している。

[0098] 本発明におけるSRAMセル単位内において、ゲート間分離およびpn分離のためのスペース並びにコンタクト領域を十分に確保するために、例えば図5に示されているように、さらに以下のレイアウト構成をとることが好ましい。

[0099] (i) 互いに隣接する一方の駆動トランジスタD₁の突起半導体層と一方の負荷トランジスタL₁の突起半導体層の中心線同士の間隔、および互いに隣接する他方の駆動トランジスタD₂の半導体層と他方の負荷トランジスタL₂の半導体層の中心線同士の間隔が、それぞれ、前記最小間隔Rminの少なくとも2倍であること。

[0100] (ii) 第1方向に垂直な第2方向(図5中の左右の横方向、以下同じ)に隣接するSRAMセル単位において互いに隣接するアクセストランジスタ間において、一方のトランジスタの半導体層の中心線と他方のトランジスタの半導体層の中心線との間隔が、前記最小間隔Rminの少なくとも2倍であること。

[0101] これらの間隔は、大きすぎるとセル単位の面積が大きくなるため、最小間隔Rminの3倍以下であることが好ましい。

[0102] 事項(i)により、ゲート間分離のためのスペース(517と523との間、513との527と間)およびpn分離のためのスペース(519付近、529付近)を十分に確保できる。また、事項(ii)により、ワード線コンタクトのためのスペース(518付近、528付近)を十分に確保することができる。

[0103] また、本発明におけるSRAMセル単位において、例えば図5に示されているように、以下のコンタクトのレイアウトをとることにより、高密度化が図れるとともに、より製造が容易なSRAM構造を得ることができる。

[0104] すなわち、一方の駆動トランジスタD₁のソース領域に接続するグランド線コンタクト514c、一方の負荷トランジスタL₁のソース領域に接続する電源線コンタクト515c及び一方のアクセストランジスタA₂のソース／ドレイン領域に接続するビット線コンタクト526cが、第2方向に沿った一方のセル単位境界の1ライン上に配置され、他方の駆動トランジスタD₂のソース領域に接続するグランド線コンタクト524c、他方の負荷トランジスタL₂のソース領域に接続する電源線コンタクト525c及び他方のアクセストランジスタA₁のソース／ドレイン領域に接続するビット線コンタクト516cが、第2方向に沿った他方のセル単位境界の1ライン上に配置されていることが好ましい。

[0105] 図5～図7に示すSRAM構造においては、各トランジスタの突起半導体層は絶縁層502上に設けられており、このような構成においては、下記の構造をとることができる。すなわち、例えば図5に示されているように、SRAMセル単位内において、一方の駆動トランジスタD₁は、一方のアクセストランジスタA₁の半導体層511Aおよび一方の負荷トランジスタL₁の半導体層511Lと一体に形成された半導体層511Dを有し、他方の駆動トランジスタD₂は、他方のアクセストランジスタA₂の半導体層521Aおよび他方の負荷トランジスタL₂の半導体層521Lと一体に形成された半導体層521Dを有することができる。

[0106] さらに、この構成においては、駆動トランジスタD₁の半導体層511D、負荷トランジスタL₁の半導体層511L及びアクセストランジスタA₁の半導体層511Aと一体に形成され、p型領域とn型領域とのpn接合部519jを有する第1ノード半導体層519(図7)、ならびに駆動トランジスタD₂の半導体層521D、負荷トランジスタL₂の半導体層521L及びアクセストランジスタA₂の半導体層521Aと一体に形成され、p型領域とn型領域とのpn接合部529jを有する第2ノード半導体層529を有することができる。

[0107] この構成によれば、各トランジスタの突起半導体層を構成する半導体層が絶縁層上に設けられているため、p型領域とn型領域を直接接合することによって、駆動トランジスタのドレインと負荷トランジスタのドレインとを直接接続することができる。p型領

域とn型領域はシリサイド層509によって電気的に短絡することができる。その結果、SRAMセル単位面積を縮小することができる。これに対して、半導体層下にウェル領域を有する構造ではp型領域とn型領域との間に絶縁分離領域を介在させる必要があり、その分だけ面積が増大する。上記構造であればこのような分離絶縁領域を設ける必要がないため、高密度化が可能になる。

[0108] またこの構成においては、上層配線601hと接続するノードコンタクト519cが第1ノード半導体層519上に接続し、上層配線と接続する第2ノードコンタクト529cが第2ノード半導体層529上に接続し、これらの第1及び第2ノード半導体層はコンタクト用パッド層としても機能している。そのため、この構成によれば、高密度化を図りながらノードコンタクト領域を十分に確保することができる。

[0109] 次に図5～図7に示すSRAM構造の製造方法について説明する。

[0110] まず、シリコン基板上にSiO₂からなる埋め込み絶縁膜(ベース絶縁膜)を有し、その上に単結晶シリコンからなる半導体層を有するSOI基板を用意する。次に、このSOI基板の半導体層上に犠牲酸化膜を形成し、この犠牲酸化膜を介してチャネル領域形成のための不純物をイオン注入する。続いて、この犠牲酸化膜を除去した後、半導体層上にキャップ絶縁膜を形成する。このチャネル領域形成のための不純物の導入は、半導体層のパターニングの後に斜めイオン注入やHalo注入等の方法で行うこともできる。

[0111] 次に、フォトリソグラフィとドライエッチングにより、半導体層とその上に形成されたキャップ絶縁膜をパターニングして、長尺半導体層が等間隔に配置された縞状パターン部分を有する半導体層パターンを形成する。このときの状態を図8に示す。図8(a)及び図8(b)は平面図、図8(c)はA-A'線断面図、図8(d)はB-B'線断面図である。図8(b)中の斜線で囲まれた領域は、後の工程において半導体層を除去する領域を示す。図中の符号501は半導体基板、符号502は埋め込み絶縁膜、符号503は半導体層、符号503a及び503bは長尺半導体層、符号504はキャップ絶縁膜を示す。

[0112] 長尺半導体層503aは、FIN型FETの突起半導体層を構成し、長尺半導体層503bは、後の工程で除去されるダミー半導体層である。これらの長尺半導体層503a、5

03bを含む半導体層パターン503は、SRAMセル単位境界に対応するセル単位境界の四辺のそれぞれを対称軸とする線対称(ミラー反転)となるように形成される。このような周期性の高いパターンを形成することにより、このパターン領域において一様に精度よく微細パターンを形成することができる。

- [0113] 長尺半導体層503a、503bと直交する帯状半導体層部分503c、503dは、後の工程でその一部分が除去され、残された部分がコンタクトプラグと接触させるパッド用半導体層となる。帯状半導体層部分503cから、グランド線コンタクト、電源線コンタクト及びビット線コンタクト用のパッド半導体層が形成され、帯状半導体層部分503dから、蓄積ノードコンタクト用のパッド半導体層が形成される。これらの帯状半導体層の第1方向の幅Wbは、十分なコンタクト領域を確保するために、長尺半導体層の第2方向の幅Waより広く設定することが好ましい。
- [0114] 次に、半導体層パターンの不要な部分をリソグラフィとドライエッチングにより除去する。その後、熱酸化法等により、長尺半導体層の側面にゲート酸化膜505を形成する。このときの状態を図9に示す。図9(a)は平面図、図9(b)はC-C'線断面図、図9(c)はA-A'線断面図、図9(d)はB-B'線断面図である。図9(b)～(d)において左右両側の縦方向の破線はセル単位境界を示す。
- [0115] 残された長尺半導体層503a部分は、FIN型FETの突起半導体層を構成し、残された帯状半導体層部分503c部分で、グランド線コンタクト、電源線コンタクト及びビット線コンタクト用のパッド半導体層が構成され、残された帯状半導体層部分503d部分で蓄積ノードコンタクト用のパッド半導体層が構成される。
- [0116] 次に、ゲート電極材料を堆積し、リソグラフィとドライエッチングによりゲート電極を形成する。例えば、ポリシリコンを堆積し、次いでリソグラフィとイオン注入によりnMOS領域にはn型不純物(燐、砒素など)、pMOS領域にはp型不純物(ホウ素など)をドープし、続いてリソグラフィとドライエッチングによりゲート用配線を形成する。これにより、nMOS領域にはn型ポリシリコン、pMOS領域にはp型ポリシリコンのゲートを形成することができる。
- [0117] 次に、基体平面に斜めのイオン注入により、長尺半導体層の側面から不純物を導入してエクステンションドープ領域を形成する。その際、リソグラフィを利用して、nM

OS領域にはn型不純物(燐、砒素など)、pMOS領域にはp型不純物(ホウ素など)を導入する。エクステンションドープ領域を形成するイオン注入と相前後して、エクステンションドープ領域と逆導電型の不純物をイオン注入するハロー注入を実施してもよい。

[0118] このときの状態を図10に示す。図10(a)は平面図、図10(b)はC—C'線断面図、図10(c)はA—A'線断面図、図10(d)はB—B'線断面図である。図10(b)～(d)において左右両側の縦方向の破線はセル単位境界を示す。図中の符号512、513、522、523はゲート用配線、符号506はエクステンションドープ領域を示す。

[0119] 次に、全面に絶縁膜を堆積し、次いで異方性エッチングによりエッチバックを行って側壁絶縁膜を形成する。このとき、キャップ絶縁膜504もエッチング除去して側壁絶縁膜下以外の半導体層上面を露出させる。

[0120] 次に、基体平面に垂直にイオン注入を行ってソース／ドレイン拡散領域を形成する。その際、リソグラフィを利用して、nMOS領域にはn型不純物(燐、砒素など)、pMOS領域にはp型不純物(ホウ素など)を導入する。このソース／ドレイン拡散領域と重ならないエクステンションドープ領域はエクステンション領域となり、いわゆるLD_D(Lightly Doped Drain)構造が形成される。

[0121] このときの状態を図11に示す。図11(a)は平面図、図11(b)はC—C'線断面図、図11(c)はA—A'線断面図、図11(d)はB—B'線断面図である。図11(b)～(d)において左右両側の縦方向の破線はセル単位境界を示す。図中の符号508は側壁絶縁膜、506はエクステンション領域、507はソース／ドレイン拡散領域を示す。なお、図11(a)における側壁絶縁膜508は半導体突起領域と重なる部分のみ示す。

[0122] 次に、いわゆるサリサイド法を用いて、ソース／ドレイン拡散領域上およびゲート用配線(ゲート電極)上にニッケルシリサイド等のシリサイド層509を形成する。その後、層間絶縁膜の形成工程、コンタクトプラグの形成工程および配線の形成工程の一連の工程を2回以上行って、所定のSRAM構造を得ることができる。このときの状態を前述した図6～図7に示す。なお、これらの図中では、上層配線を一層分のみ示しているが、実際は層間絶縁膜を介して縦横に立体交差した複数層からなる。

[0123] [SRAMの素子構造例(1)／形態A]

図5～図7を用いて説明した前述のSRAM構造において、SRAMセル単位内のトランジスタ間で一つのトランジスタを構成する突起半導体層の数が異なる形態(前述の形態A)を採用した例を挙げる。

[0124] 図12～図14は、駆動トランジスタを構成する突起半導体層の数が2つ、アクセストランジスタ及び負荷トランジスタを構成する突起半導体層がそれぞれ1つの場合を示す。図12(a)は、図8(a)に対応する半導体層パターンである。図8(a)では一つのSRAMセル単位に相当する領域を示しているが、図12～図14では縦横それぞれ2列の合計4つのSRAMセル単位に相当する領域を示している。図中の点線はセル単位境界を示す。図12(b)は、図12(a)に示す半導体層パターンに半導体層の除去領域を示すパターンを重ねて示したものである。半導体層パターンの不要な部分を除去して、図13(a)に示す半導体層パターンを形成した後、前述の製造方法と同様なプロセスを経て図13(b)に示すSRAM構造を形成することができる。この構造によれば、ノイズマージンを拡大でき、ノイズ耐性に優れた半導体装置を提供することができる。

[0125] 図13(b)に示す構造においては、駆動トランジスタ(D_1 、 D_2)を構成する二つの突起半導体層は互いに両端が半導体層を介して一体に接続されている。そして、一方のソース領域側の半導体層上にはコンタクトプラグ(GND)が接続されている。他方のドレイン領域側の半導体層は、ノード半導体層(519、529)と一緒に形成され、コンタクトプラグ(N_1 、 N_2)が接続されている。

[0126] 図14は、駆動トランジスタ(D_1 、 D_2)のソース側の構造以外は、図13(b)に示す構造と同様な構造を有するSRAM素子構造の平面図である。図14に示す構造では、駆動トランジスタを構成する二つの突起半導体層の各ソース領域側は互いに分離し、これらのソース領域側の半導体層間を埋め込み導体配線(1401、1402)で接続している。この埋め込み導体配線はグランド線(GND)へ接続され、コンタクトプラグの役割も果たす。この埋め込み導体配線は、層間絶縁膜に第2方向に沿って溝状に開口部を設け、互いに接続しようとする半導体層をこの開口部内で露出させ、この開口部内に導電材料を埋め込むことにより形成することができる。この埋め込み導体配線を用いた構造に代えて、駆動トランジスタのソースを構成する二つの突起半導体層の

それぞれコンタクトプラグを接続する構造にすることもできる。

[0127] なお、図12(a)は図8(a)に対応する半導体層パターンを示すが、図8(a)では第2方向のセル単位境界上において半導体層が連続しているのに対して、図12(a)では不連続である。このように、半導体層パターン形成工程後の半導体層の除去工程において除去される部分あるいは不必要な部分は、所望の効果が得られる範囲内で適宜、予めパターン形成工程において除去しておいてもよい。

[0128] 図15及び図16は、駆動トランジスタ及びアクセストランジスタを構成する突起半導体層の数がそれぞれ2つ、負荷トランジスタを構成する突起半導体層が1つの場合を示す。図15(a)は、図8(a)に対応する半導体層パターンである。図8(a)では1つのSRAMセル単位に相当する領域を示しているが、図15及び図16では縦横それぞれ2列の合計4つのSRAMセル単位に相当する領域を示している。図中の点線はセル単位境界を示す。図15(b)は、図15(a)に示す半導体層パターンに半導体層の除去領域を示すパターンを重ねて示したものである。半導体層パターンの不要な部分を除去して、図16(a)に示す半導体層パターンを形成した後、前述の製造方法と同様なプロセスを経て図16(b)に示すSRAM構造を形成することができる。この構造によれば、駆動能力に優れた半導体装置を提供することができる。

[0129] 図17及び図18は、駆動トランジスタを構成する突起半導体層の数が3つ、アクセストランジスタを構成する突起半導体層が2つ、負荷トランジスタを構成する突起半導体層が1つの場合を示す。図17(a)は、図8(a)に対応する半導体層パターンである。図8(a)では一つのSRAMセル単位に相当する領域を示しているが、図17及び図18では縦横それぞれ2列の合計4つのSRAMセル単位に相当する領域を示している。図中の点線はセル単位境界を示す。図17(b)は、図17(a)に示す半導体層パターンに半導体層の除去領域を示すパターンを重ねて示したものである。半導体層パターンの不要な部分を除去して、図18(a)に示す半導体層パターンを形成した後、前述の製造方法と同様なプロセスを経て図18(b)に示すSRAM構造を形成することができる。この構造によれば、駆動能力に優れ且つノイズ耐性に優れた半導体装置を提供することができる。

[0130] 図19及び図20は、駆動トランジスタを構成する突起半導体層の数が3つ、アクセ

トランジスタ及び負荷トランジスタを構成する突起半導体層がそれぞれ2つの場合を示す。図19(a)は、図8(a)に対応する半導体層パターンである。図8(a)では一つのSRAMセル単位に相当する領域を示しているが、図19及び図20では縦横それぞれ2列の合計4つのSRAMセル単位に相当する領域を示している。図中の点線はセル単位境界を示す。図19(b)は、図19(a)に示す半導体層パターンに半導体層の除去領域を示すパターンを重ねて示したものである。半導体層パターンの不要な部分を除去して、図20(a)に示す半導体層パターンを形成した後、前述の製造方法と同様なプロセスを経て図20(b)に示すSRAM構造を形成することができる。この構造によれば、駆動能力に優れ且つノイズ耐性に優れた半導体装置を提供することができる。

[0131] 図21及び図22は、駆動トランジスタを構成する突起半導体層の数が2つ、アクセストランジスタ及び負荷トランジスタを構成する突起半導体層がそれぞれ1つの場合を示し、トランジスタ間において突起半導体層の間隔が異なる以外は、図12及び図13と同様な構造を示す。この例では、駆動トランジスタを構成する長尺半導体層(突起半導体層)と負荷トランジスタを構成する長尺半導体層(突起半導体層)との間の2本の長尺半導体層が除去され、その結果、駆動トランジスタを構成する突起半導体層の中心線と、負荷トランジスタを構成する突起半導体層の中心線との間が最小間隔R_{min}の3倍となる。また、第2方向(図中の左右方向)に隣接するセル単位領域において、互いに隣接するアクセストランジスタを構成する長尺半導体層(突起半導体層)間の2本の長尺半導体層が除去され、その結果、互いに隣接するアクセストランジスタを構成する突起半導体層の中心線間の距離が最小間隔R_{min}の3倍となる。

[0132] 図23及び図24は、駆動トランジスタを構成する突起半導体層の数が2つ、アクセストランジスタ及び負荷トランジスタを構成する突起半導体層がそれぞれ1つの場合を示し、突起半導体層を構成する半導体層パターンが異なる以外は、図12及び図13と同様な構造を示す。図23(a)に示す半導体層パターン(ラインアンドスペースパターン)は、第1方向の長尺半導体層と交差する第2方向のパターンを有さず、SRAM形成領域の全体にわたって長尺半導体層が等間隔に配置された縞状パターンのみで構成される。図23(b)は、図23(a)に示す半導体層パターンに半導体層の除去領

域を示すパターンを重ねて示したものであり、半導体層パターンの不要な部分を除去して、図24(a)に示す半導体層パターンを形成した後、前述の製造方法と同様なプロセスを経て図24(b)に示すSRAM構造を形成することができる。

[0133] 図24(b)に示すSRAM構造において、駆動トランジスタを構成する2つの突起半導体層のソース領域間が埋め込み導体配線(2411、2421)で接続されている。この埋め込み導体配線はグランド線(GND)へ接続され、コンタクトプラグの役割も果たす。一方、駆動トランジスタを構成する2つの突起半導体層のドレイン領域と負荷トランジスタのドレイン領域とが埋め込み導体配線(2412、2422)で接続されている。この埋め込み導体配線は上層配線と接続され、蓄積ノードのコンタクトプラグの役割も果たす。これらの埋め込み導体配線は、層間絶縁膜に第2方向に沿って溝状に開口部を設け、互いに接続しようとする半導体層をこの開口部内で露出させ、この開口部内に導電材料を埋め込むことにより形成することができる。なお、この構造に代えて、各トランジスタのソース／ドレインを構成する半導体層にそれぞれコンタクトプラグを接続し、これらのコンタクトプラグを介して上層配線に接続する構造にすることもできる。

[0134] [SRAMの素子構造例(2)／形態A]

図25～図28に形態Aの構造を有するその他のSRAM素子構造例を示す。図25は駆動トランジスタの突起半導体層が2つ、アクセストランジスタ及び負荷トランジスタの突起半導体層がそれぞれ1つの場合、図26は駆動トランジスタ及びアクセストランジスタの突起半導体層がそれぞれ2つ、負荷トランジスタの突起半導体層が1つの場合、図27は駆動トランジスタの突起半導体層が3つ、アクセストランジスタの突起半導体層が2つ、負荷トランジスタの突起半導体層が1つの場合、図28は駆動トランジスタの突起半導体層が3つ、アクセストランジスタ及び負荷トランジスタの突起半導体層がそれぞれ2つの場合を示す。

[0135] 本例のSRAM素子構造では、SRAMセル単位内において、一対のアクセストランジスタA₁、A₂の突起半導体層は、その長手方向(チャネル長方向)が第1方向に沿って配置され、第1方向に垂直な第2方向に沿って互いに隣り合って平行配列されている。一対のアクセストランジスタA₁、A₂のゲート電極は、これらのアクセストランジス

タの各突起半導体層と交差するように第2方向に沿って配置された共通のワード配線により構成されている。一方の駆動トランジスタD₁及び一方の負荷トランジスタL₁の突起半導体層は、その長手方向が第2方向に沿って配置され、第1方向に沿って互いに隣り合って平行配列され、他方の駆動トランジスタD₂及び他方の負荷トランジスタL₂の突起半導体層は、その長手方向が第2方向に沿って配置され、第1方向に沿って互いに隣り合って平行配列されている。

[0136] そして、一方の駆動トランジスタD₁は、一方のアクセストランジスタA₁の突起半導体層および一方の負荷トランジスタL₁の突起半導体層と一緒に形成された半導体層を有し、他方の駆動トランジスタD₂は、他方のアクセストランジスタA₂の突起半導体層および他方の負荷トランジスタL₂の突起半導体層と一緒に形成された半導体層を有することができる。

[0137] また、この構造においては、絶縁層上に、一方の駆動トランジスタD₁の半導体層、一方の負荷トランジスタL₁の半導体層及び一方のアクセストランジスタA₁の半導体層と一緒に形成され、p型の領域とn型の領域との接合部を有する第1ノード半導体層2511と、他方の駆動トランジスタD₂の半導体層、他方の負荷トランジスタL₂の半導体層及び他方のアクセストランジスタA₂の半導体層と一緒に形成され、p型の領域とn型の領域との接合部を有する第2ノード半導体層2512を設けることができる。そして、一方の駆動トランジスタD₁のドレイン領域と一方の負荷トランジスタL₁のドレイン領域に接続する第1ノードコンタクトN₁を第1ノード半導体層2511上に接続し、他方の駆動トランジスタD₂のドレイン領域と他方の負荷トランジスタL₂のドレイン領域に接続する第2ノードコンタクトN₂を第2ノード半導体層2512上に接続することができる。

[0138] 図25～図28において、駆動トランジスタを構成する複数の突起半導体層のソース側は互いに半導体層を介して接続され、コンタクトプラグ(GND)が接続されているが、前述の埋め込み導体配線により接続し、これをコンタクトプラグとして機能させてもよく、あるいは、各ソース側半導体層にそれぞれコンタクトプラグを接続して、上層配線と接続してもよい。負荷トランジスタが複数の突起半導体層を有する場合においても、ソース側の接続構造は上記構造と同様な構造をとることができる。

[0139] また、本例のSRAM素子構造は、図25～図28に示されるように、隣接するSRAM

セル単位において、各トランジスタを構成する半導体層を含む半導体層パターン及び各ゲート電極を構成するゲート配線パターンを、セル単位境界を対称軸とする鏡像関係となるように配置することができる。

[0140] [SRAMの素子構造例(3)／形態B]

次に、図5～図7を用いて説明した前述のSRAM構造において、SRAMセル単位内のトランジスタ間で突起半導体層の高さが異なる形態(前述の形態B)を採用した例を説明する。

[0141] 図29に、駆動トランジスタD1、D2の突起半導体層の高さが他のトランジスタのいずれの突起半導体層の高さより高い場合を示す。この構造によりノイズマージンを拡大することができ、ノイズ耐性の高い半導体装置を提供することができる。図29(a)は図5(a)に対応し、図29(b)は図6(c)に対応し、図29(c)は図6(a)に対応し、図29(d)は図6(b)に対応する。図29(a)において、太線で囲まれた半導体層部分が他の半導体層部分より厚く、半導体層511D、521Dの高さが他の半導体層511A、511L、521A、521Lの高さより高くなっている。

[0142] 本例の素子構造は、例えば図30及び図31に示すように、次のようにして製造することができる。まず、シリコン基板上に SiO_2 からなる埋め込み絶縁膜(ベース絶縁膜)を有し、その上に単結晶シリコンからなる半導体層を有するSOI基板を用意する。次に、図30(a)、(b)に示すように、フォトリソグラフィとドライエッチングにより、斜線帯で囲まれた領域以外の領域の半導体層を薄くする。すなわち、半導体層511D、521Dの形成領域を含むパターン領域(太線で囲まれた領域に相当する領域)をマスクし、半導体層511A、511L、521A、521Lの形成領域を含む他の領域の半導体層をドライエッチングして薄くする。あるいは薄くしたい部分のみを選択的に酸化し、次いでその酸化部分を除去して薄くしてもよい。次に、キャップ絶縁膜504を形成した後に、前述の図8～図11を用いて説明した製造方法と同様にして、図31に示す半導体層パターンを形成し、続いて図29に示すSRAM素子構造を得ることができる。なお、図30(a)中の点線は、形成しようとする所定の半導体層パターンを示し、図31(a)、(b)、(c)及び(d)は、それぞれ図9(a)、(b)、(c)及び(d)に対応する。

[0143] 図32に、形態Bの他の例を示す。図32(a)は図31(a)に対応し、図32(b)は図29

(a)に対応する。本例は、図29(a)に示す前記の例と同様に駆動トランジスタD₁、D₂の突起半導体層の高さが他のトランジスタのいずれの突起半導体層の高さより高い場合を示す。図29(a)に示す前記の例と異なる点は、図32(b)に示すように、駆動トランジスタと負荷トランジスタの第2方向(図中の横方向)の配置が逆に配置されていることである。すなわち、この配置では、SRAMセル単位内において、負荷トランジスタL₁は、アクセストランジスタA₁の半導体層と一体に形成され且つ当該半導体層の第1方向に沿った中心線上に配置された半導体層を有し、負荷トランジスタA₂は、アクセストランジスタA₂の半導体層と一体に形成され且つ当該半導体層の第1方向に沿った中心線上に配置された半導体層を有している。そして、駆動トランジスタD₁は、負荷トランジスタL₁の半導体層と隣接する半導体層を有し、駆動トランジスタD₂は、負荷トランジスタL₂の半導体層と隣接する半導体層を有している。また、駆動トランジスタD₁及び駆動トランジスタD₂は、当該駆動トランジスタD₁の半導体層の中心線と当該駆動トランジスタD₂の半導体層の中心線との間隔が最小間隔を有するように配置することができる。

[0144] このSRAM素子構造は、半導体層のパターニング工程の前に、駆動トランジスタD₁、D₂の突起半導体層の形成領域を除く他の領域の半導体層を薄くすることにより形成することができる。すなわち、図32(a)に示すように、駆動トランジスタD₁、D₂の突起半導体層の形成領域を含む領域(斜線帯に挟まれた領域)にマスクをして、他のトランジスタの突起半導体層を含む他の領域の半導体層をドライエッチングして薄くする。これにより、図32(b)に示す太線で囲まれた領域の半導体層の高さが他の領域より高い図32(a)の点線で示される半導体層パターンを形成することができる。そして、キャップ絶縁膜504を形成した後に、前述の図8～図11を用いて説明した製造方法と同様にして図32(b)に示すSRAM素子構造を得ることができる。この例では、半導体層の厚い領域(高い領域)と薄い領域(低い領域)とを交互に帯状に形成することができ、半導体層の厚み(高さ)の制御を容易に行うことができる。なお、この例においては、図32(b)に示すように、トランジスタの配置に応じてnMOS領域とpMOS領域の位置が変更される。

[0145] [その他のSRAM素子構造例]

図33及び図34に、SRAMセル単位の他の素子構造を示す。図33(a)は平面図、図33(b)はC-C'線断面図、図33(c)はA-A'線断面図、図33(d)はB-B'線断面図、図34はD-D'線断面図である。なお、図33(a)においては側壁絶縁膜508を省略し、図33(b)～(d)において左右両側の縦方向の破線はセル単位境界を示す。また、これらの図面は、各トランジスタの突起半導体層の数および高さが等しい場合を示しているが、前述の形態A及び形態Bのように、所望の特性に応じて、各トランジスタの突起半導体層の数および高さを設定することができる。

[0146] 本例では、SOI基板に代えてバルク半導体基板が用いられ、FIN型FETの突起半導体層がこの半導体基板の一部で構成され、その半導体基板上に設けられた分離絶縁膜表面から上方へ突起している。また、駆動トランジスタのドレインを構成する半導体層部分と負荷トランジスタのドレインを構成する半導体層部分が分離し、それぞれの半導体層部分に蓄積ノードコンタクトが接続されている。以上の点を除いて、前述の図5及び図6に示すSRAM構造と同様な構造を有する。

[0147] 本例における半導体層パターン703は、図33(b)～(c)に示されるようにバルク半導体基板701と一体に形成され、その一部で構成されている。この半導体層パターン703は、半導体基板701上に設けられた分離絶縁膜702表面から上方へ突起し、その突起部分の周囲はその分離絶縁膜で囲まれている。すなわち、この突起した半導体層パターン以外の半導体基板上には分離絶縁膜702が設けられている。この半導体層パターン及び分離絶縁膜下の半導体基板領域には、nMOS領域ではPウェル、pMOS領域ではNウェルが設けられている。

[0148] 本例における蓄積ノードのコンタクト構造は、図33(a)及び図34に示すように、駆動トランジスタのドレインを構成する半導体層(n型)および負荷トランジスタのドレインを構成する半導体層(p型)のそれぞれにコンタクトプラグ704を接続し、これらのコンタクトプラグ704間を上層配線705で接続することができる。前述の図5及び図7に示すように半導体層にpn接合部を形成して両ドレイン間を直接結合すると、突起半導体層の拡散領域と下層のウェルとが短絡する。そのため、本実施形態では、ドレインを構成するn型半導体層とp型半導体層を分離絶縁膜702により互いに分離し、この分離された両半導体層間を各半導体層に接続するコンタクトプラグ704を介して上

層配線705により接続している。なお、この構造に代えて、図24(b)に示された前述の埋め込み導体配線によりp型半導体層とn型半導体層を直接接続してもよい。

- [0149] 上記の構成は、例えば次のようにして製造することができる。
- [0150] 所定の領域にPウェル及びNウェルが設けられた半導体基板、例えばシリコン基板を用意する。必要に応じて、このシリコン基板にチャネル領域形成のためのイオン注入を行った後に、全面にキャップ絶縁膜を形成する。
- [0151] 次に、フォトリソグラフィとドライエッチングにより、シリコン基板とその上に形成されたキャップ絶縁膜をパターニングして、長尺半導体層が等間隔に配置された縞状パターン部分を有する半導体層パターンを形成する。このときの状態を図35(a)及び(b)に示す。図35(a)は平面図、図35(b)はA—A'線断面図である。図35(a)中の斜線で囲まれた領域は、後の工程において半導体層パターンを除去する領域を示す。
- [0152] 次に、半導体層パターンの不要な部分をリソグラフィとドライエッチングにより除去する。このときの状態を図35(c)のA—A'線断面図に示す。
- [0153] 次に、残された半導体層パターンが埋め込まれるように全面に絶縁膜を堆積し、CMP(化学的機械的研磨)により絶縁膜表面の平坦化を行う。続いて、この絶縁膜をエッチバックして、半導体層パターン703の上部を露出させ、その半導体層パターン周囲に分離絶縁膜702を形成する。このときの状態を図35(d)のA—A'線断面図に示す。
- [0154] 以降の工程は、蓄積ノードのコンタクト構造に係る工程を除き、図8～図11を用いて説明した前述の方法と同様な方法により本実施形態のSRAM構造を作製することができる。

請求の範囲

[1] 一対の第1及び第2駆動トランジスタと一対の第1及び第2負荷トランジスタと一対の第1及び第2アクセストランジスタを備えたSRAMセル単位を有する半導体装置であつて、

前記トランジスタはそれぞれ、基体平面に対して上方に突起した半導体層と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に設けられた一対のソース／ドレイン領域を有し、

前記第1及び第2駆動トランジスタはそれぞれ、前記負荷トランジスタ及び前記アクセストランジスタの少なくとも一方の各トランジスタのチャネル幅より広いチャネル幅を有することを特徴とする半導体装置。

[2] 前記第1及び第2駆動トランジスタはそれぞれ、前記の各アクセストランジスタのチャネル幅より広いチャネル幅を有する請求項1に記載の半導体装置。

[3] 前記第1及び第2駆動トランジスタ並びに前記第1及び第2アクセストランジスタはそれぞれ、前記の各負荷トランジスタのチャネル幅より広いチャネル幅を有する請求項1又は2に記載の半導体装置。

[4] 前記第1及び第2駆動トランジスタはそれぞれ、一つのトランジスタ内に前記半導体層を複数有し、当該半導体層の数が前記の各アクセストランジスタを構成する半導体層の数より多い請求項1に記載の半導体装置。

[5] 前記第1及び第2駆動トランジスタ並びに前記第1及び第2アクセストランジスタはそれぞれ、一つのトランジスタ内に前記半導体層を複数有し、当該半導体層の数が前記の各負荷トランジスタを構成する半導体層の数より多い請求項1又は4に記載の半導体装置。

[6] 前記第1及び第2駆動トランジスタはそれぞれ、当該駆動トランジスタの半導体層の基体平面に垂直方向の高さが、前記の各アクセストランジスタを構成する半導体層の高さより高い請求項1に記載の半導体装置。

[7] 前記第1及び第2駆動トランジスタ並びに前記第1及び第2アクセストランジスタはそれぞれ、当該トランジスタの半導体層の基体平面に垂直方向の高さが、前記の各負

荷トランジスタを構成する半導体層の高さより高い請求項1又は6に記載の半導体装置。

[8] 前記SRAMセル単位内の前記トランジスタを構成する半導体層はそれぞれ、その長手方向が第1方向に沿って配置され、

第1方向に隣接するSRAMセル単位間において、互いに対応するトランジスタ間のいずれにおいても、一方のトランジスタの半導体層の第1方向に沿った中心線上に他方のトランジスタの半導体層が配置されている請求項1～7のいずれかに記載の半導体装置。

[9] 前記SRAMセル単位内の前記トランジスタを構成する半導体層は、互いに等しい基体平面に平行かつ第1方向に垂直な第2方向の幅を有し、且つこれら半導体層の第1方向に沿った中心線同士の間隔がこれらの間隔の内の最小間隔の整数倍となるように配置されている請求項8に記載の半導体装置。

[10] 前記SRAMセル単位内において、

第1駆動トランジスタは、第1アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、第2駆動トランジスタは、第2アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、

第1負荷トランジスタは、第1駆動トランジスタの半導体層と隣接する半導体層を有し、第2負荷トランジスタは、第2駆動トランジスタの半導体層と隣接する半導体層を有し、

第1負荷トランジスタ及び第2負荷トランジスタは、当該第1負荷トランジスタの半導体層の中心線と当該第2負荷トランジスタの半導体層の中心線との間隔が前記最小間隔を有するように配置されている請求項9に記載の半導体装置。

[11] 前記SRAMセル単位内において、

第1負荷トランジスタは、第1アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、第2負荷トランジスタは、第2アクセストランジスタの半導体層の第1方向に沿った中心線上に配置された半導体層を有し、

第1駆動トランジスタは、第1負荷トランジスタの半導体層と隣接する半導体層を有し、第2駆動トランジスタは、第2負荷トランジスタの半導体層と隣接する半導体層を

有し、

第1駆動トランジスタ及び第2駆動トランジスタは、当該第1駆動トランジスタの半導体層の中心線と当該第2駆動トランジスタの半導体層の中心線との間隔が前記最小間隔を有するように配置されている請求項9に記載の半導体装置。

[12] 互いに隣接する第1駆動トランジスタの半導体層と第1負荷トランジスタの半導体層との第1方向に沿った中心線同士の間隔、および互いに隣接する第2駆動トランジスタの半導体層と第2負荷トランジスタの半導体層との第1方向に沿った中心線同士の間隔が、それぞれ、前記最小間隔の少なくとも2倍である請求項9～11のいずれかに記載の半導体装置。

[13] 第2方向に隣接するSRAMセル単位間において一方のSRAMセル単位のアクセストランジスタと他方のSRAMセル単位のアクセストランジスタが互いに隣接するように配置され、一方のアクセストランジスタの半導体層の第1方向に沿った中心線と他方のアクセストランジスタの半導体層の第1方向に沿った中心線との間隔が、前記最小間隔の少なくとも2倍である請求項9～12のいずれかに記載の半導体装置。

[14] 前記SRAMセル単位内において、
第1駆動トランジスタのゲート電極と第1負荷トランジスタのゲート電極は、第1方向に垂直な第2方向に沿った第1配線で構成され、第2駆動トランジスタのゲート電極と第2負荷トランジスタのゲート電極は、第2方向に沿った第2配線で構成され、
第1アクセストランジスタのゲート電極は、第2配線の第2方向に沿った中心線上に配置された第3配線で構成され、第2アクセストランジスタのゲート電極は、第1配線の第2方向に沿った中心線上に配置された第4配線で構成されている請求項8～13のいずれかに記載の半導体装置。

[15] 第1駆動トランジスタのソース領域に接続するグランド線コンタクト、第1負荷トランジスタのソース領域に接続する電源線コンタクト及び第2アクセストランジスタのソース／ドレイン領域に接続するビット線コンタクトが、第2方向に沿った一方のセル単位境界の1ライン上に配置され、
第2駆動トランジスタのソース領域に接続するグランド線コンタクト、第2負荷トランジスタのソース領域に接続する電源線コンタクト及び第1アクセストランジスタのソース／

ドレイン領域に接続するビット線コンタクトが、第2方向に沿った他方のセル単位境界の1ライン上に配置されている請求項8～14のいずれかに記載の半導体装置。

[16] グランド線コンタクト、電源線コンタクト及びビット線コンタクトはそれぞれ、ゲート電極下の半導体層の第2方向の幅より広い第2方向の幅を有し且つ当該半導体層と一緒に形成されたパッド半導体層上に接続されている請求項8～15のいずれかに記載の半導体装置。

[17] 隣接するSRAMセル単位同士がセル単位境界を対称軸とする鏡像関係にある請求項8～16のいずれかに記載の半導体装置。

[18] 前記SRAMセル単位内の前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成されている請求項1～17のいずれかに記載の半導体装置。

[19] 前記SRAMセル単位内において、
前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、
第1駆動トランジスタは、第1アクセストランジスタの半導体層および第1負荷トランジスタの半導体層と一緒に形成された半導体層を有し、第2駆動トランジスタは、第2アクセストランジスタの半導体層および第2負荷トランジスタの半導体層と一緒に形成された半導体層を有する請求項8～17のいずれかに記載の半導体装置。

[20] 前記SRAMセル単位内において、
前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、
前記絶縁層上に、第1駆動トランジスタの半導体層、第1負荷トランジスタの半導体層及び第1アクセストランジスタの半導体層と一緒に形成され、第1導電型の領域と第2導電型の領域との接合部を有する第1半導体層領域、ならびに第2駆動トランジスタの半導体層、第2負荷トランジスタの半導体層及び第2アクセストランジスタの半導体層と一緒に形成され、第1導電型の領域と第2導電型の領域との接合部を有する第2半導体層領域を有し、
第1駆動トランジスタのドレイン領域と第1負荷トランジスタのドレイン領域に接続す

る第1ノードコンタクトが前記第1半導体層領域上に接続し、第2駆動トランジスタのドレイン領域と第2負荷トランジスタのドレイン領域に接続する第2ノードコンタクトが前記第2半導体層領域上に接続している請求項8～17のいずれかに記載の半導体装置。

[21] 前記SRAMセル単位内の前記トランジスタを構成する半導体層はそれぞれ、半導体基板の一部で構成され、この半導体基板上に設けられた分離絶縁膜の上面に対して突起している請求項1～17のいずれかに記載の半導体装置。

[22] 請求項8～17のいずれかに記載の半導体装置の製造方法であつて、
半導体層をパターニングして、第1方向に延在し、第1方向に垂直な第2方向の幅が互いに等しい長尺半導体層が等間隔に配置された縞状パターンを有する半導体層パターンを形成する工程と、
前記縞状パターンの一部を除去する工程と、
残された長尺半導体層の側面にゲート絶縁膜を形成する工程と、
ゲート電極材料を堆積し、このゲート電極材料堆積膜をパターニングして前記長尺半導体層を跨ぐようにその上部から相対する両側面上に第2方向に沿って延在するゲート電極を形成する工程と、
前記長尺半導体層に不純物を導入してソース／ドレイン領域を形成する工程を有する半導体装置の製造方法。

[23] 前記半導体層パターンは、SRAMセル単位境界に対応する矩形単位境界の四辺のそれぞれを対称軸とする線対称となるように形成される請求項22に記載の半導体装置の製造方法。

[24] 前記半導体層パターンの形成工程において、前記長尺半導体層と交差する、当該長尺半導体層の第2方向の幅より広い第1方向の幅を持つ帯状パターンを形成し、
前記縞状パターンの一部を除去する工程において、この帯状パターンの一部も除去して、前記長尺半導体層の第2方向の幅より広い第2方向の幅を有するパッド半導体層を形成し、
さらに、全面に層間絶縁膜を形成した後、このパッド半導体層上に接続するコンタクトプラグを形成する工程を有する請求項22又は23に記載の半導体装置の製造方

法。

[25] 前記SRAMセル単位内において、

第1及び第2アクセストランジスタの半導体層は、その長手方向が第1方向に沿って配置され、第1方向に垂直な第2方向に沿って互いに隣り合って平行配列され、

第1及び第2アクセストランジスタのゲート電極は、当該アクセストランジスタの各半導体層と交差するように第2方向に沿って配置された共通のワード配線により構成され、

第1駆動トランジスタ及び第1負荷トランジスタの半導体層は、その長手方向が第2方向に沿って配置され、第1方向に沿って互いに隣り合って平行配列され、

第2駆動トランジスタ及び第2負荷トランジスタの半導体層は、その長手方向が第2方向に沿って配置され、第1方向に沿って互いに隣り合って平行配列されている請求項1～7のいずれかに記載の半導体装置。

[26] 前記SRAMセル単位内において、

前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、

第1駆動トランジスタは、第1アクセストランジスタの半導体層および第1負荷トランジスタの半導体層と一体に形成された半導体層を有し、第2駆動トランジスタは、第2アクセストランジスタの半導体層および第2負荷トランジスタの半導体層と一体に形成された半導体層を有する請求項25に記載の半導体装置。

[27] 前記SRAMセル単位内において、

前記トランジスタを構成する半導体層はそれぞれ、絶縁層上に設けられた半導体層で構成され、

前記絶縁層上に、第1駆動トランジスタの半導体層、第1負荷トランジスタの半導体層及び第1アクセストランジスタの半導体層と一体に形成され、第1導電型の領域と第2導電型の領域との基体平面に垂直な接合部を有する第1半導体層領域、ならびに第2駆動トランジスタの半導体層、第2負荷トランジスタの半導体層及び第2アクセストランジスタの半導体層と一体に形成され、第1導電型の領域と第2導電型の領域との基体平面に垂直な接合部を有する第2半導体層領域を有し、

第1駆動トランジスタのドレイン領域と第1負荷トランジスタのドレイン領域に接続する第1ノードコンタクトが前記第1半導体層領域上に接続し、第2駆動トランジスタのドレイン領域と第2負荷トランジスタのドレイン領域に接続する第2ノードコンタクトが前記第2半導体層領域上に接続している請求項25に記載の半導体装置。

[28] 隣接するSRAMセル単位間において、各トランジスタを構成する半導体層を含む半導体層パターン及び各ゲート電極を構成するゲート配線パターンが、セル単位境界を対称軸とする鏡像関係にある請求項25～27のいずれかに記載の半導体装置。

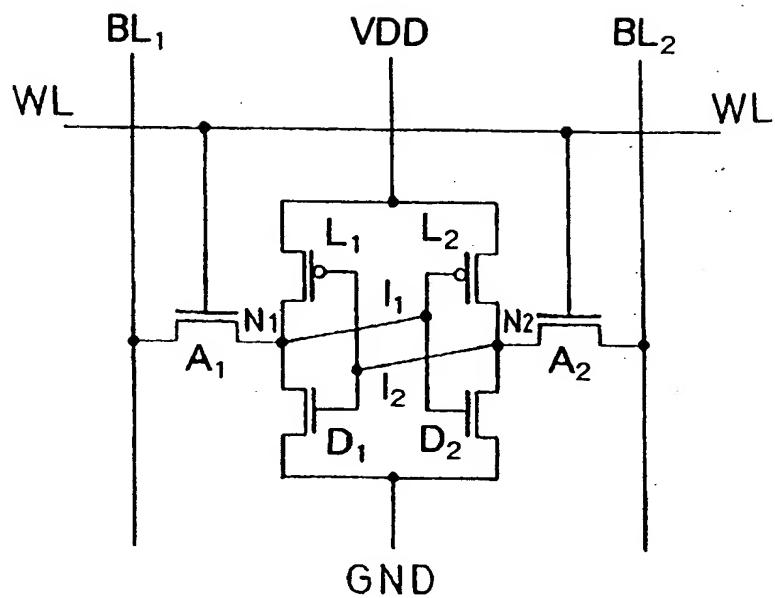
[29] 請求項1に記載の半導体装置の製造方法であって、
駆動トランジスタの形成領域に比べてアクセストランジスタ及び負荷トランジスタの少なくとも一方の形成領域の厚みが薄くなるように半導体層を部分的に薄層化する工程と、
前記工程により部分的に薄層化された半導体層をパターニングして、各トランジスタを構成する半導体層を有する半導体層パターンを形成する工程と、
前記半導体層の側面にゲート絶縁膜を形成する工程と、
ゲート電極材料を堆積し、このゲート電極材料堆積膜をパターニングして、各トランジスタを構成する半導体層を跨ぐようにその上部から相対する両側面上にゲート電極を形成する工程と、
前記半導体層にソース／ドレイン領域を形成する工程を有する半導体装置の製造方法。

[30] 前記薄層化工程において、駆動トランジスタの形成領域に比べてアクセストランジスタの形成領域の厚みが薄くなるように半導体層を部分的に薄層化し、
第1及び第2駆動トランジスタを構成する各半導体層の基体平面に垂直方向の高さが、第1及び第2アクセストランジスタを構成する半導体層の高さより高いSRAMセル単位を形成する、請求項29に記載の半導体装置の製造方法。

[31] 前記薄層化工程において、駆動トランジスタ及びアクセストランジスタの形成領域に比べて負荷トランジスタの形成領域の厚みが薄くなるように半導体層を部分的に薄層化し、
第1及び第2駆動トランジスタ並びに第1及び第2アクセストランジスタを構成する各

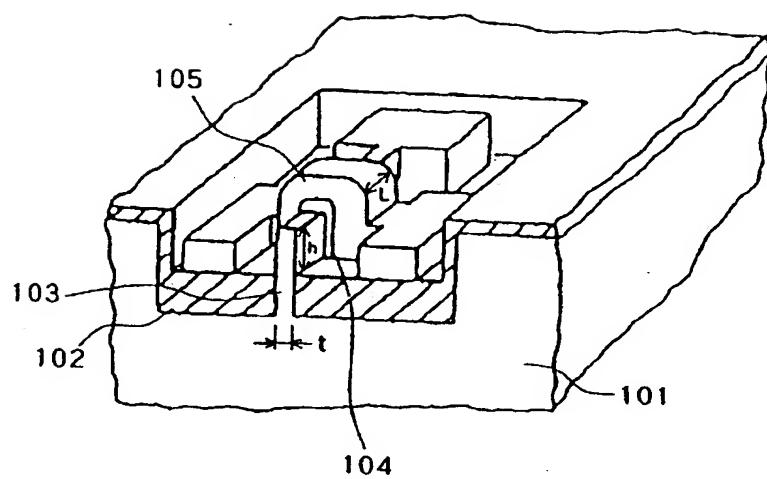
半導体層の基体平面に垂直方向の高さが、第1及び第2負荷トランジスタを構成する半導体層の高さより高いSRAMセル単位を形成する、請求項29又は30に記載の半導体装置の製造方法。

[図1]

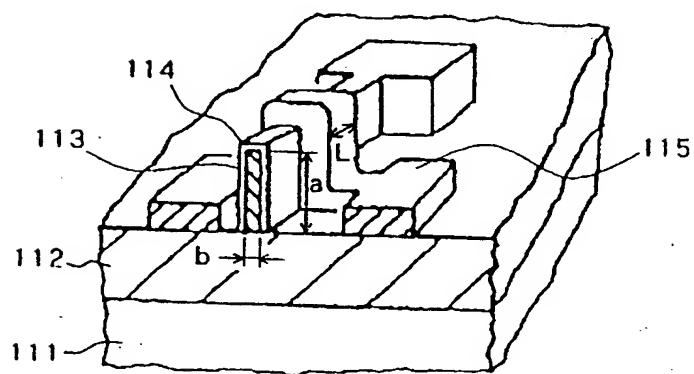


[図2]

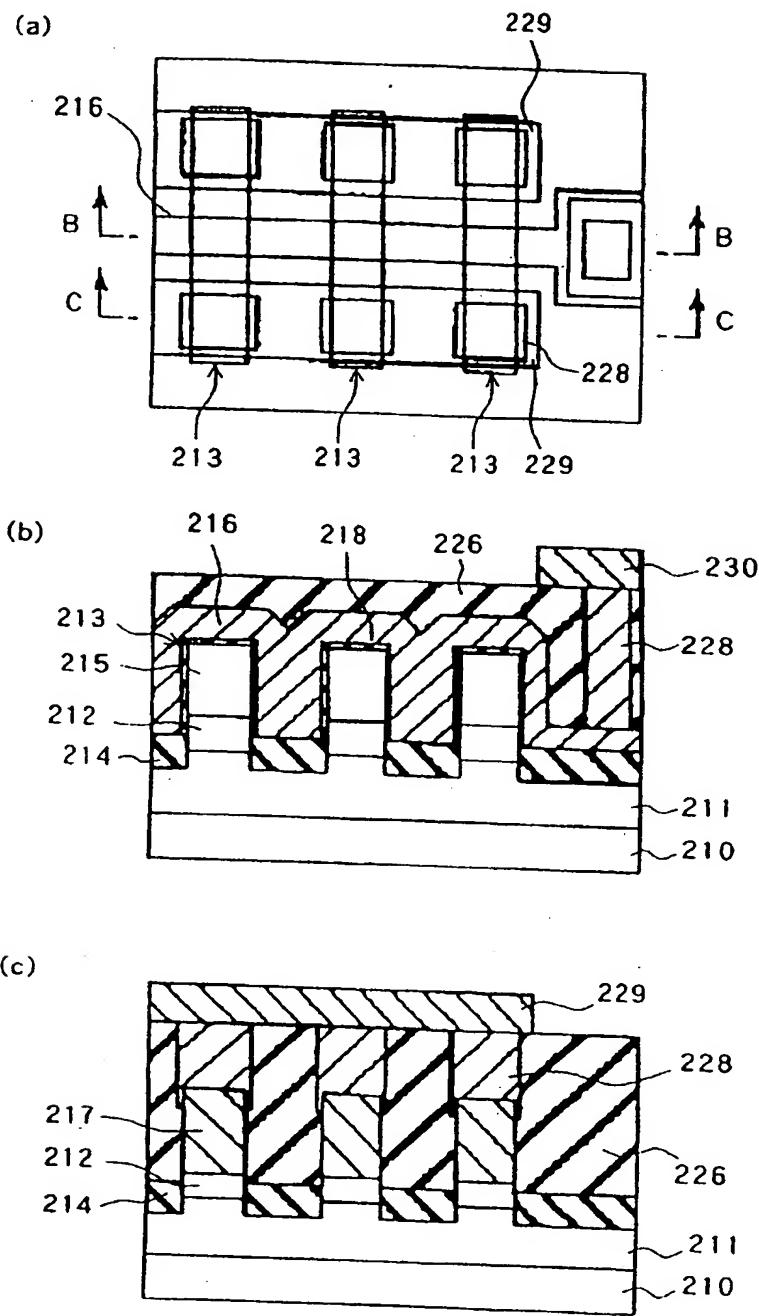
(a)



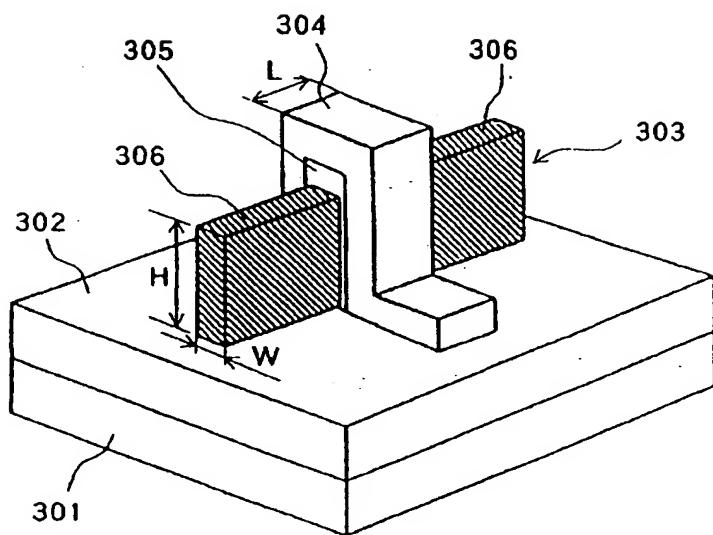
(b)



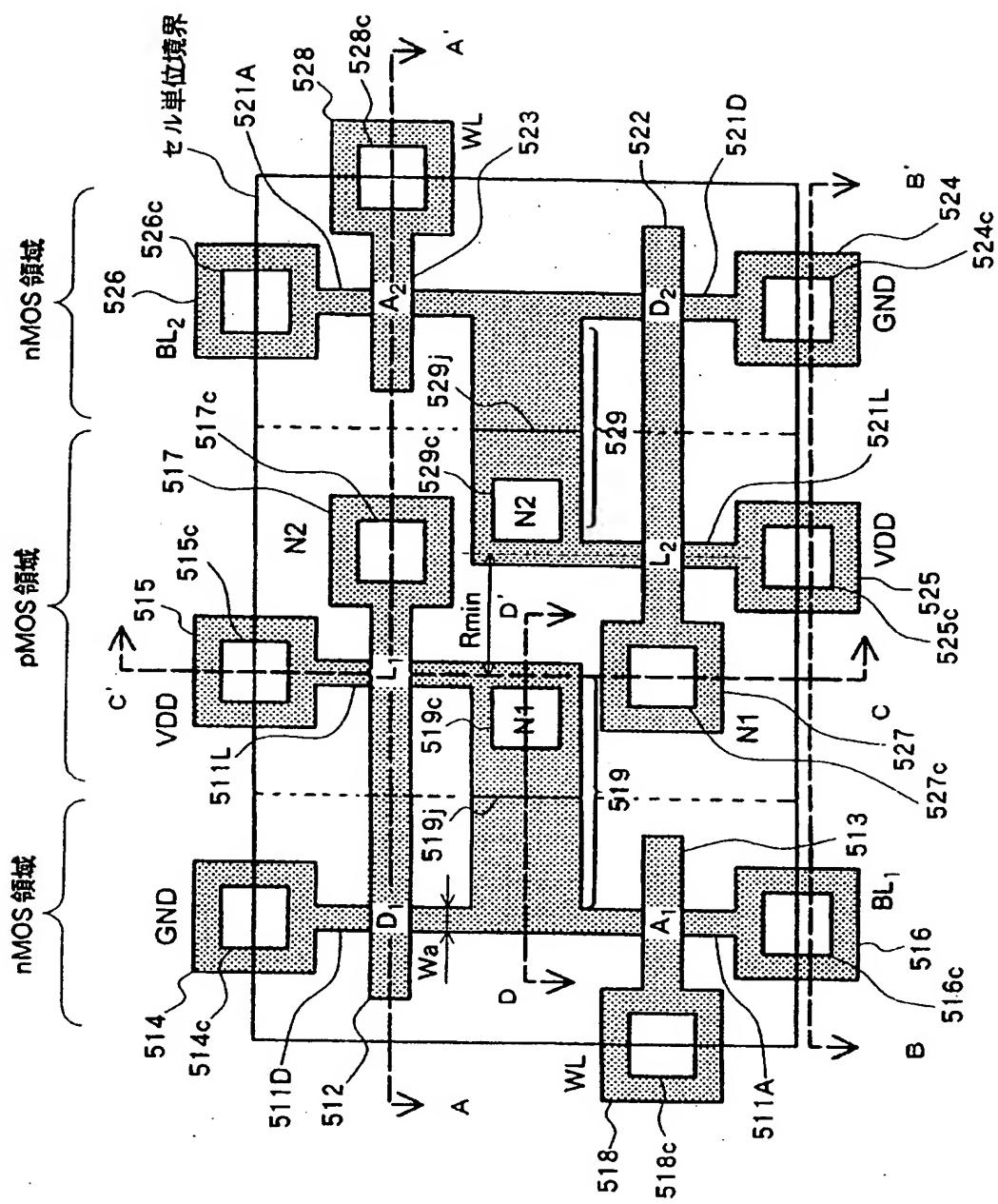
[図3]



[図4]

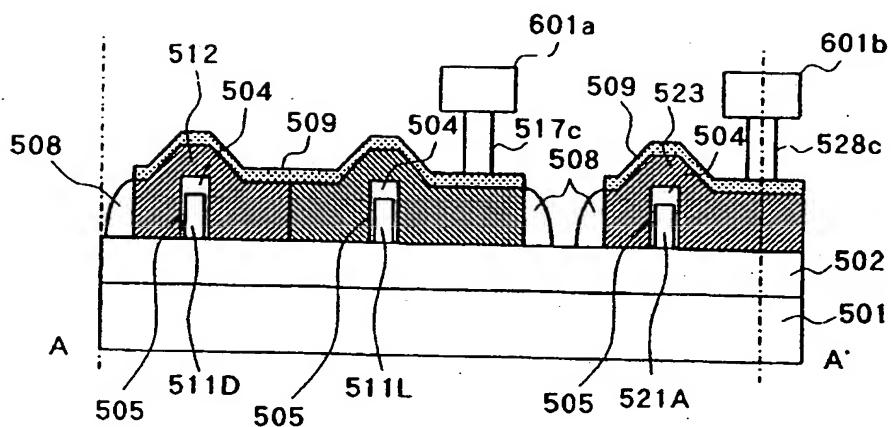


[图5]

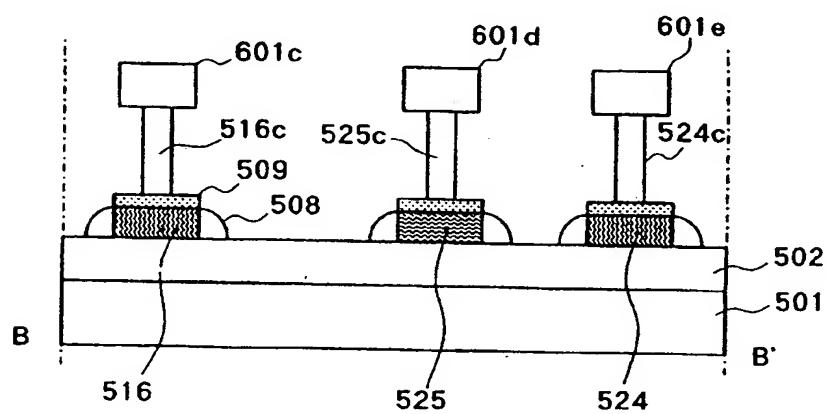


[図6]

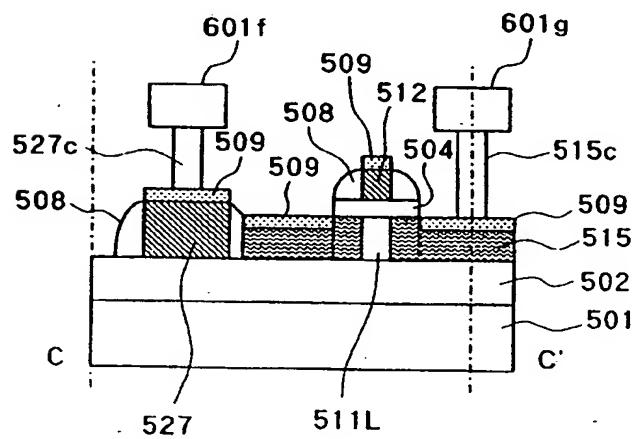
(a)



(b)

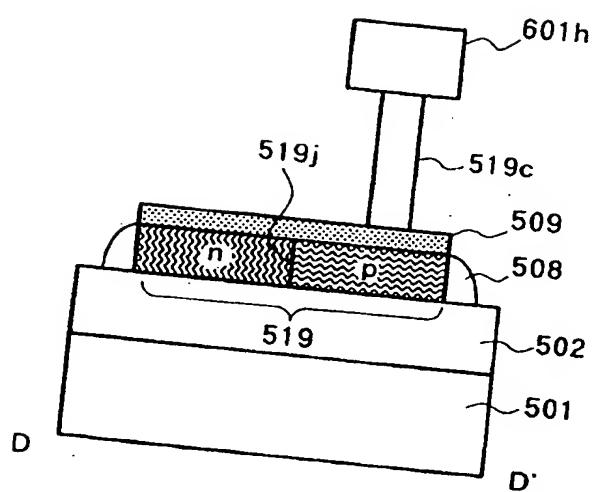


(c)

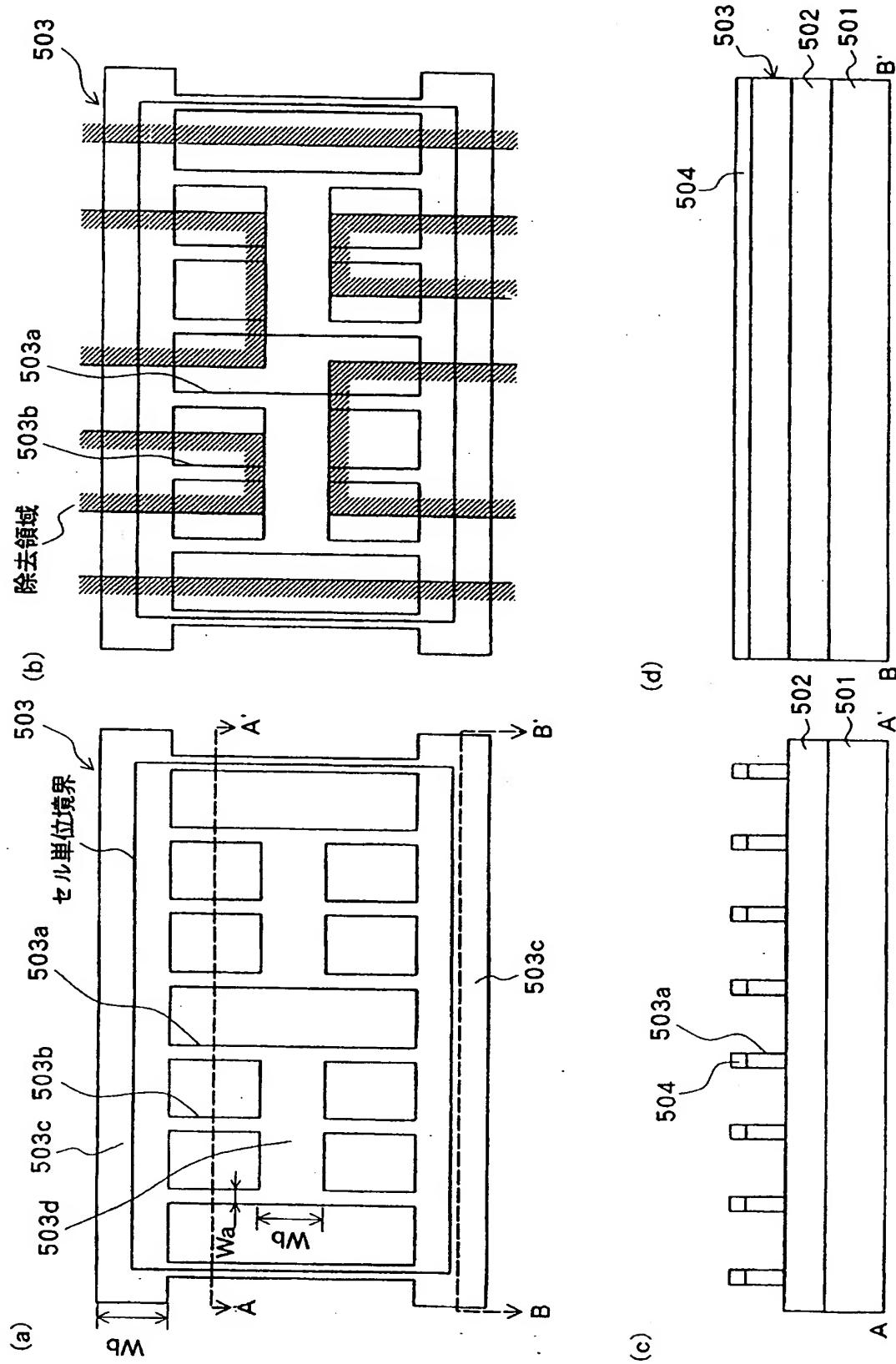


[図7]

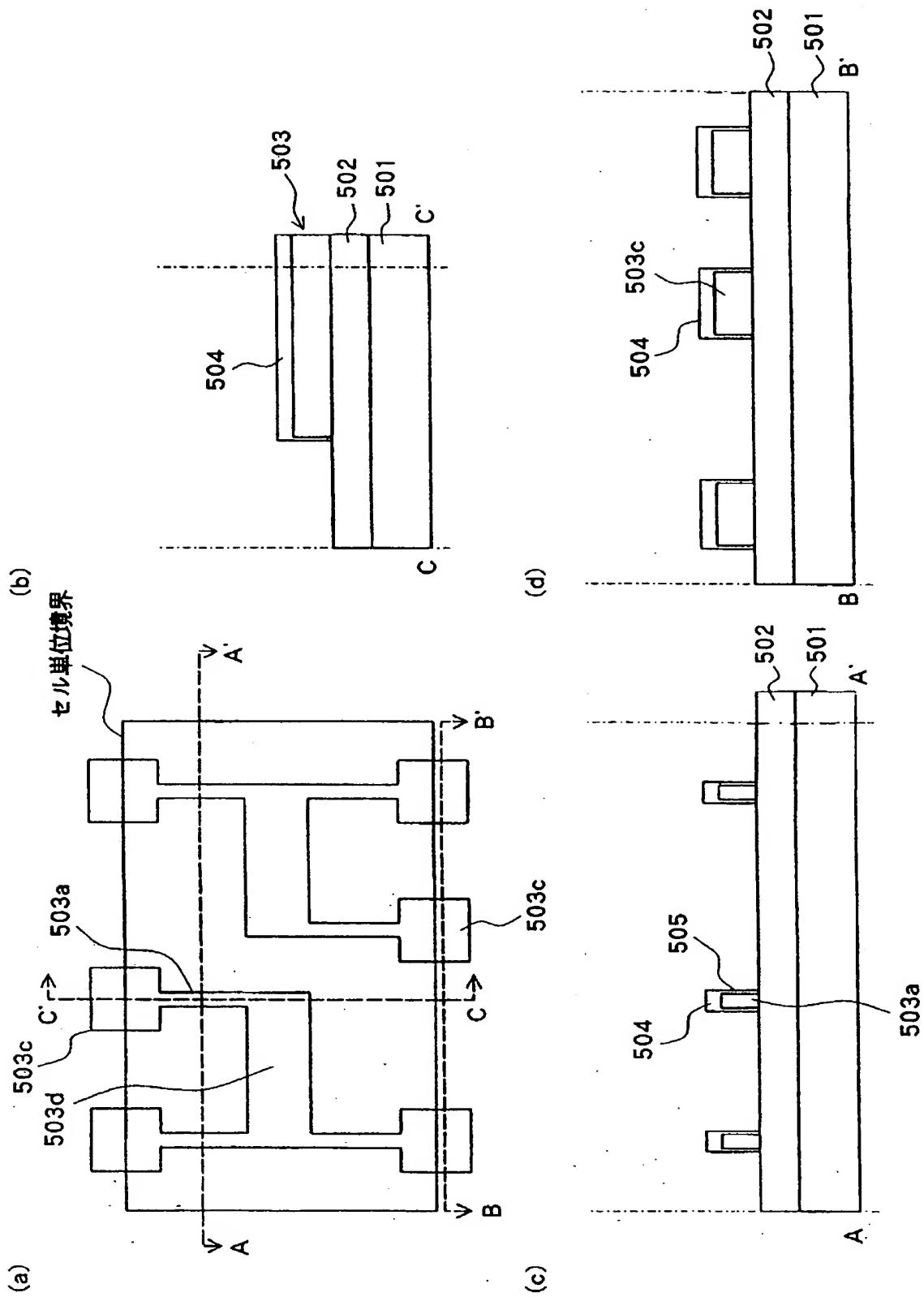
PCT/JP2005/009570



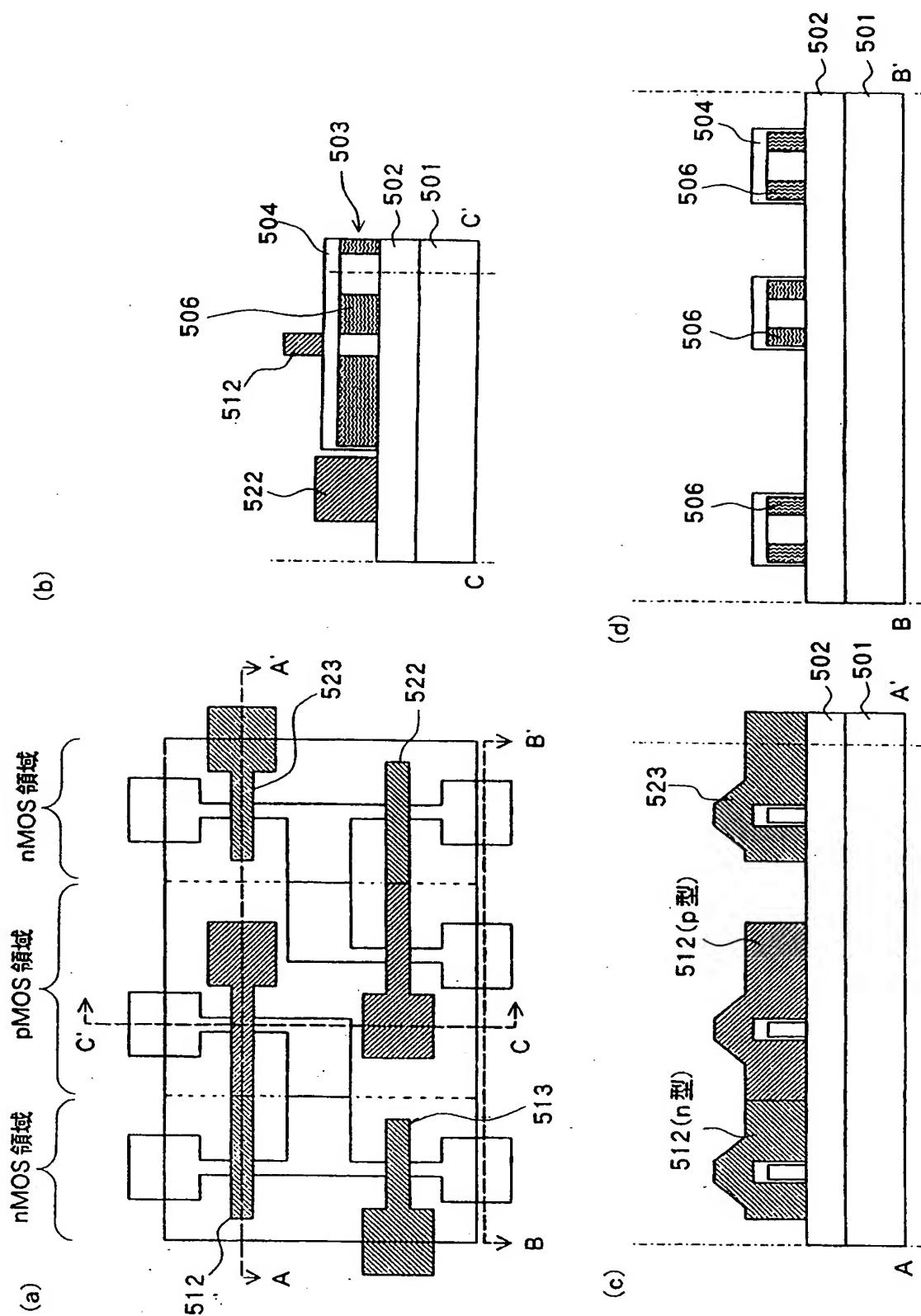
[図8]



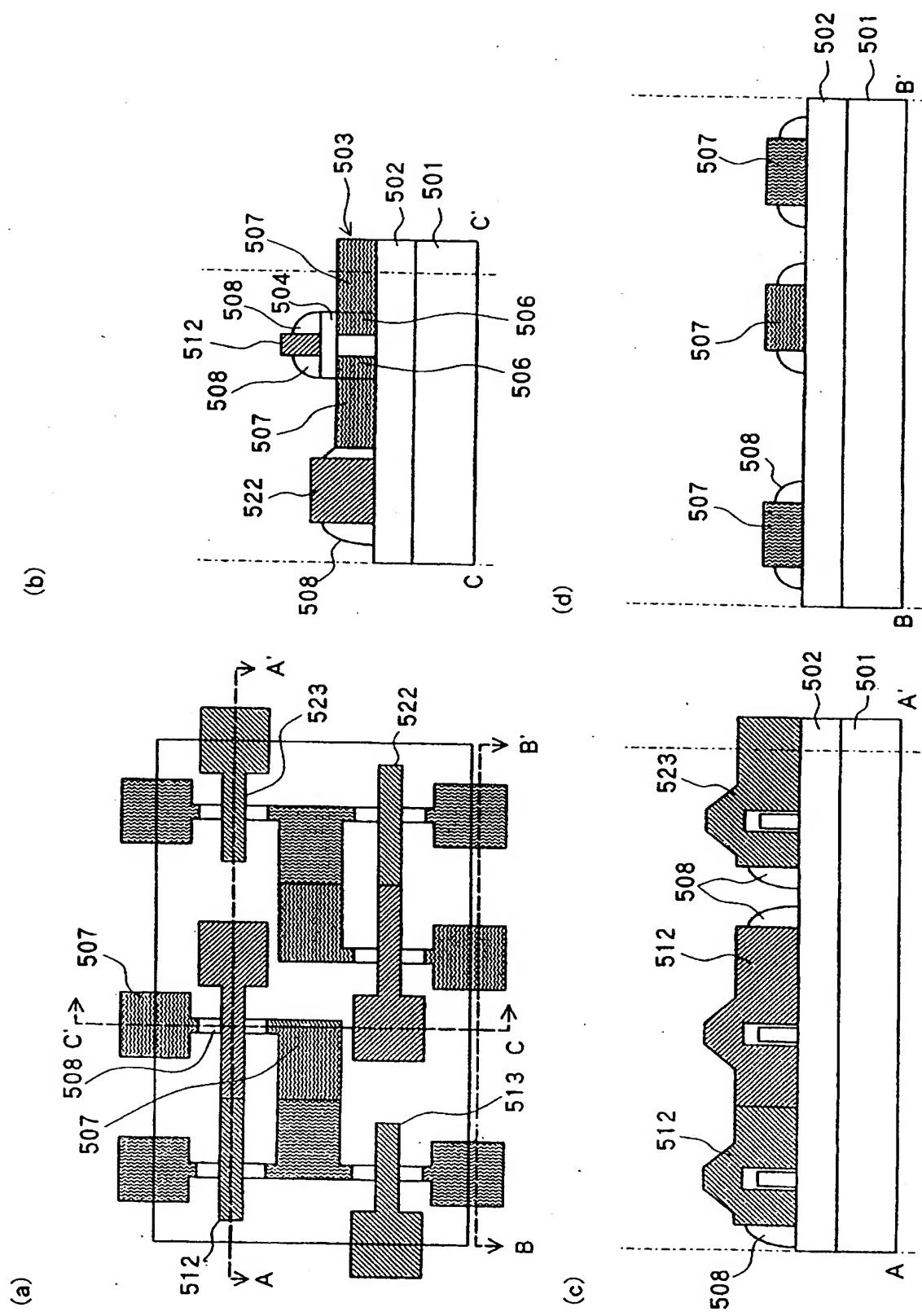
[図9]



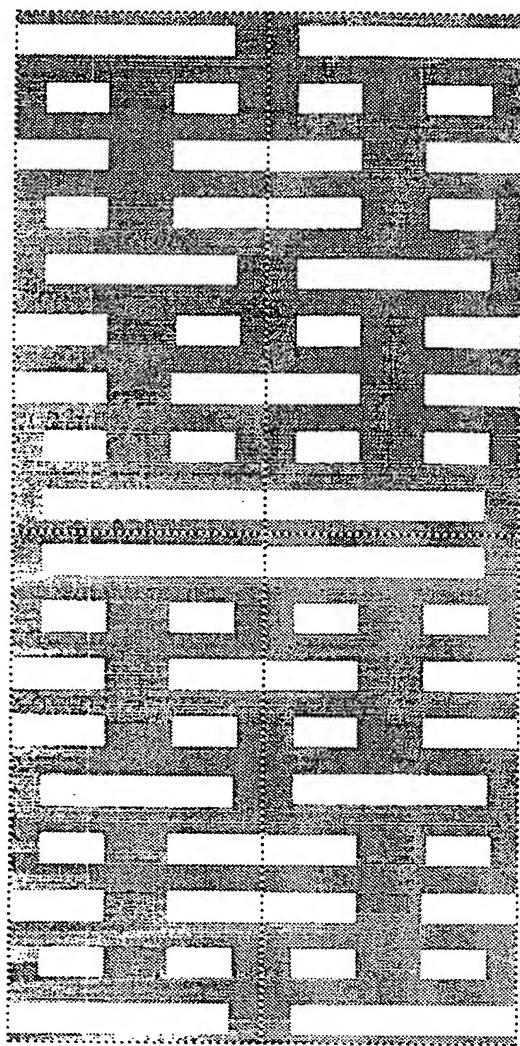
[図10]



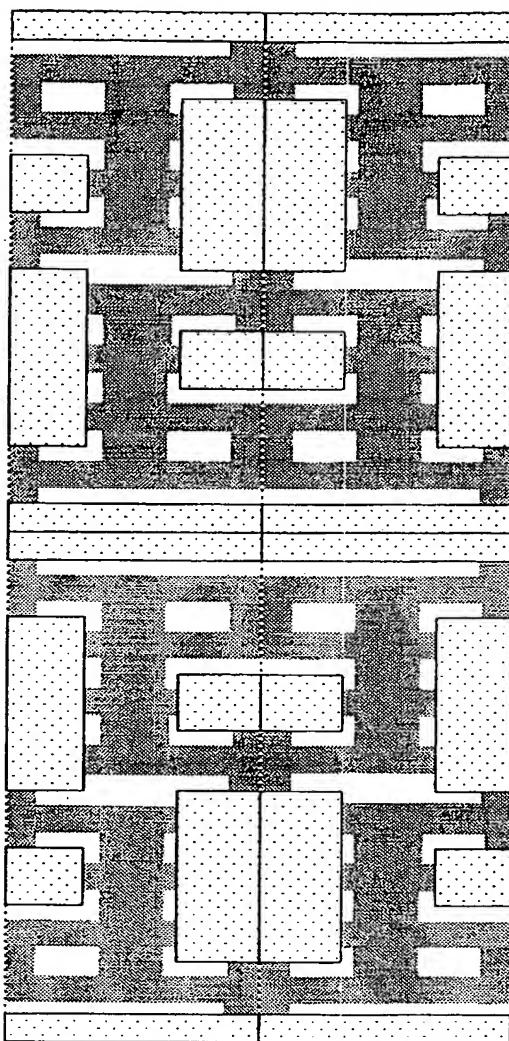
[図11]



[図12]

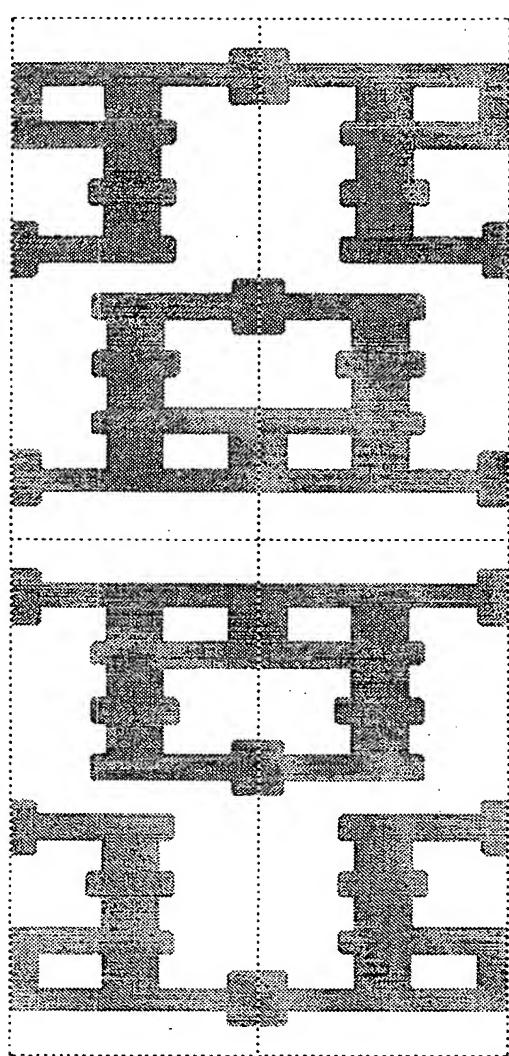


(a)

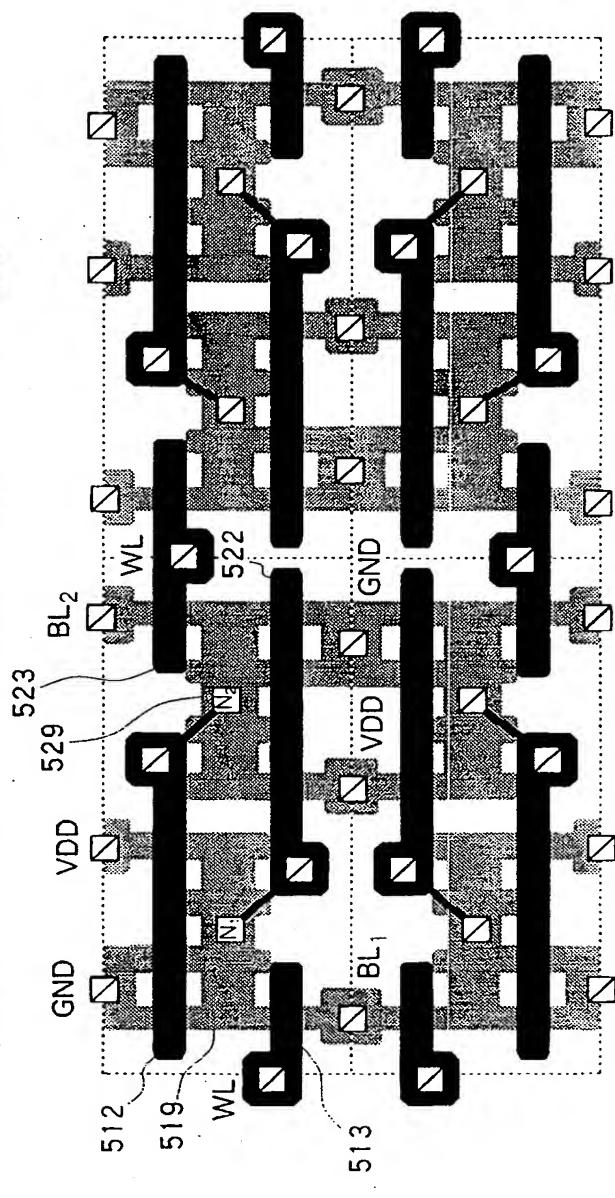


(b)

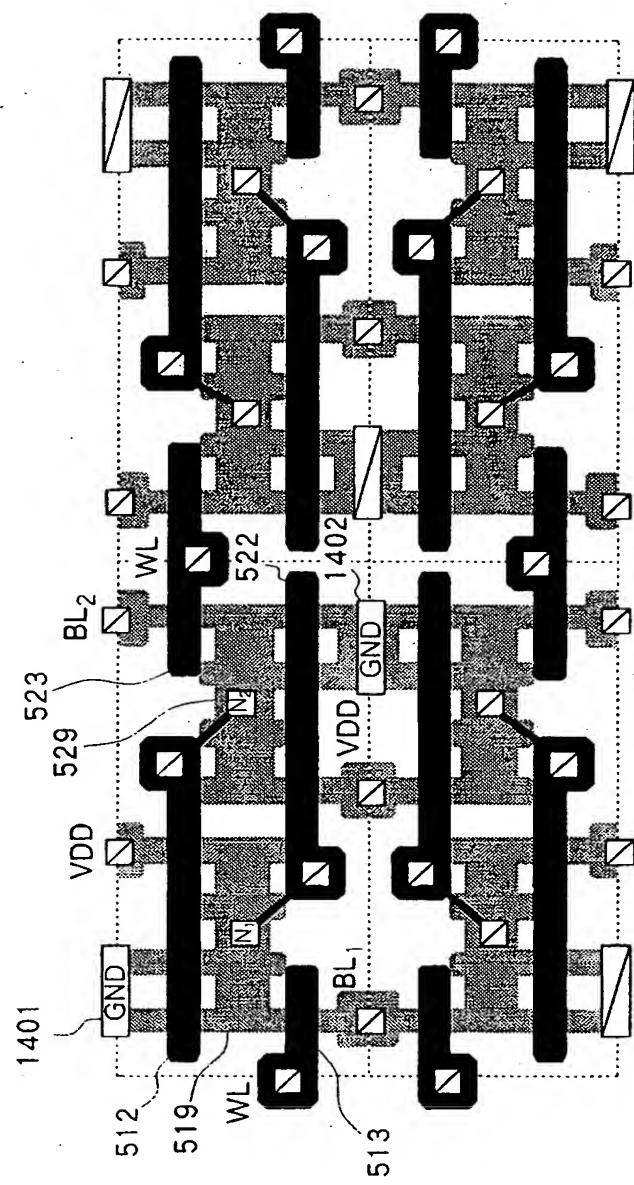
[図13]



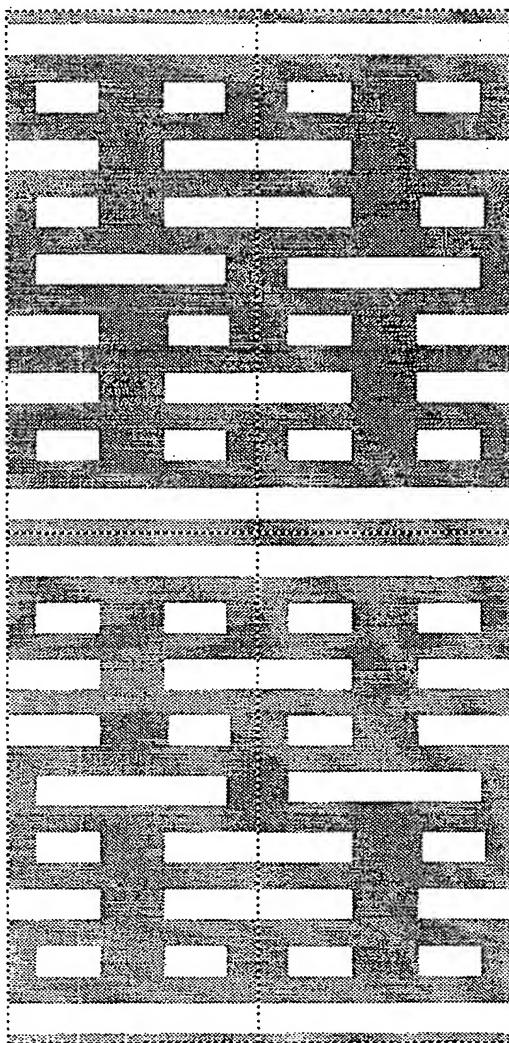
(a)



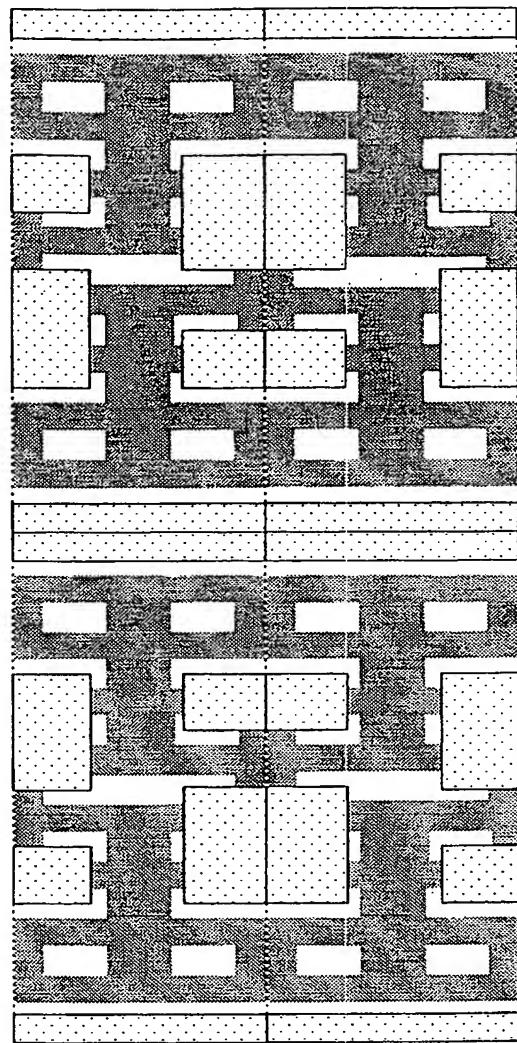
[図14]



[図15]

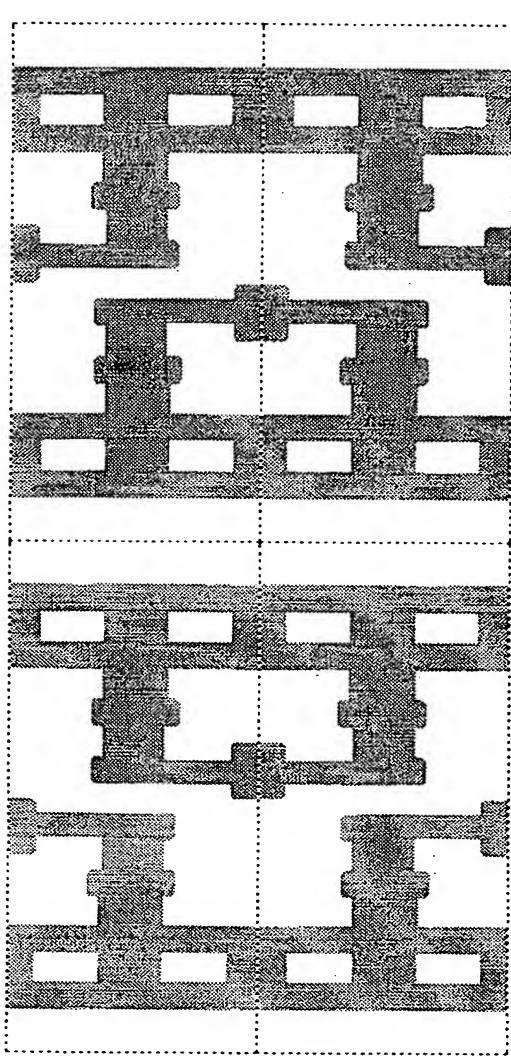


(a)

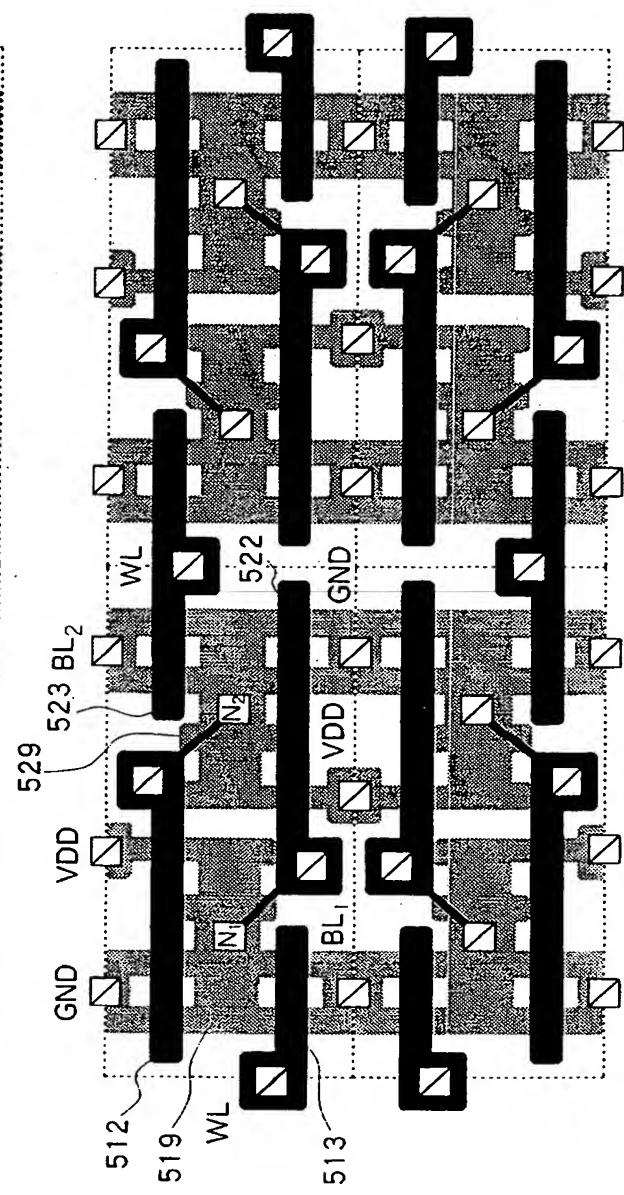


(b)

[図16]

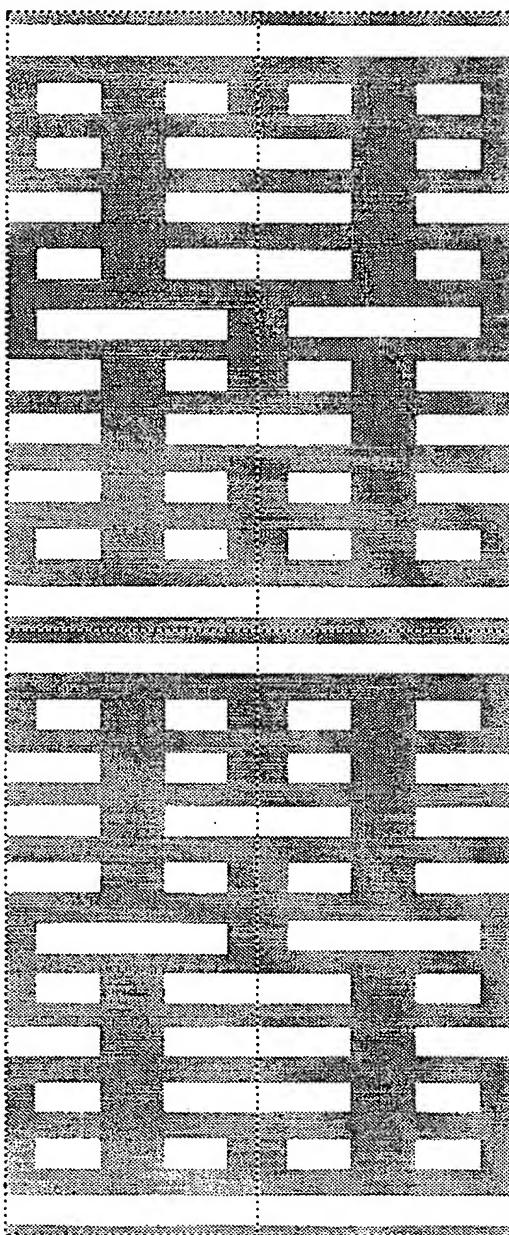


(a)

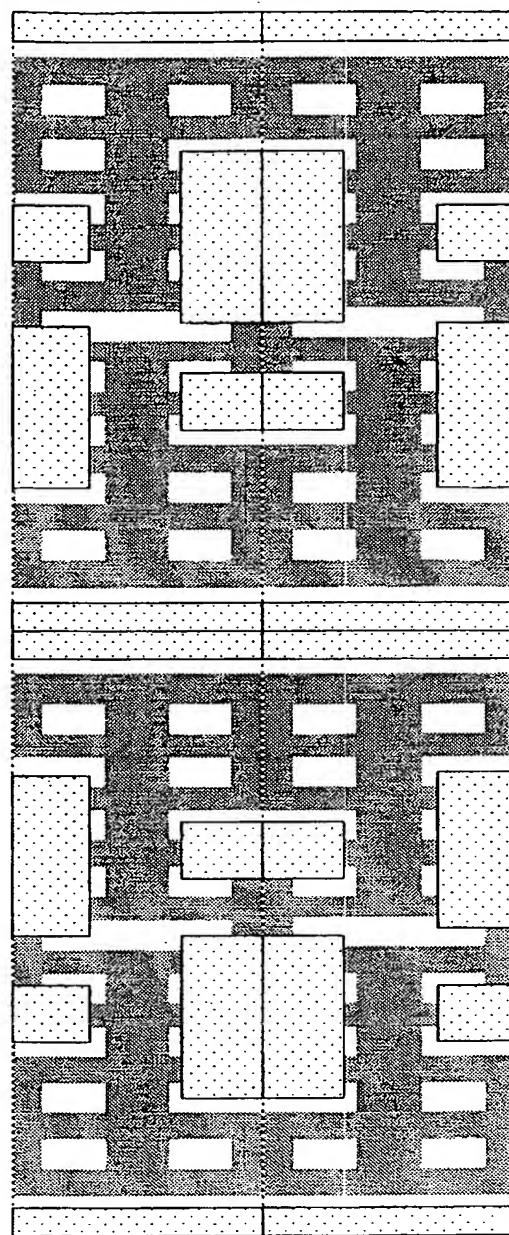


(b)

[図17]

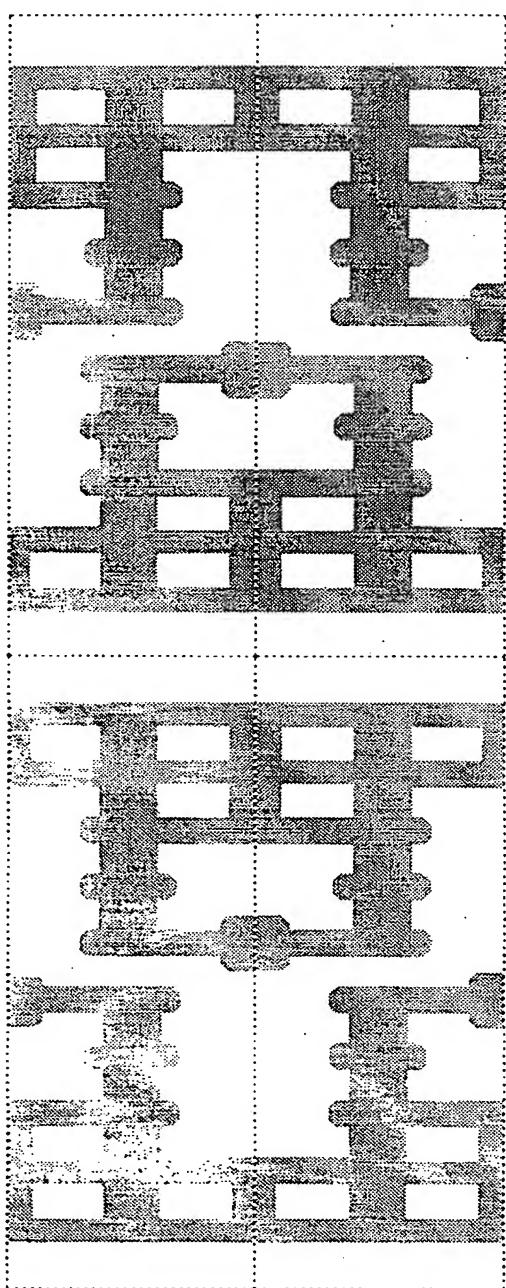


(a)

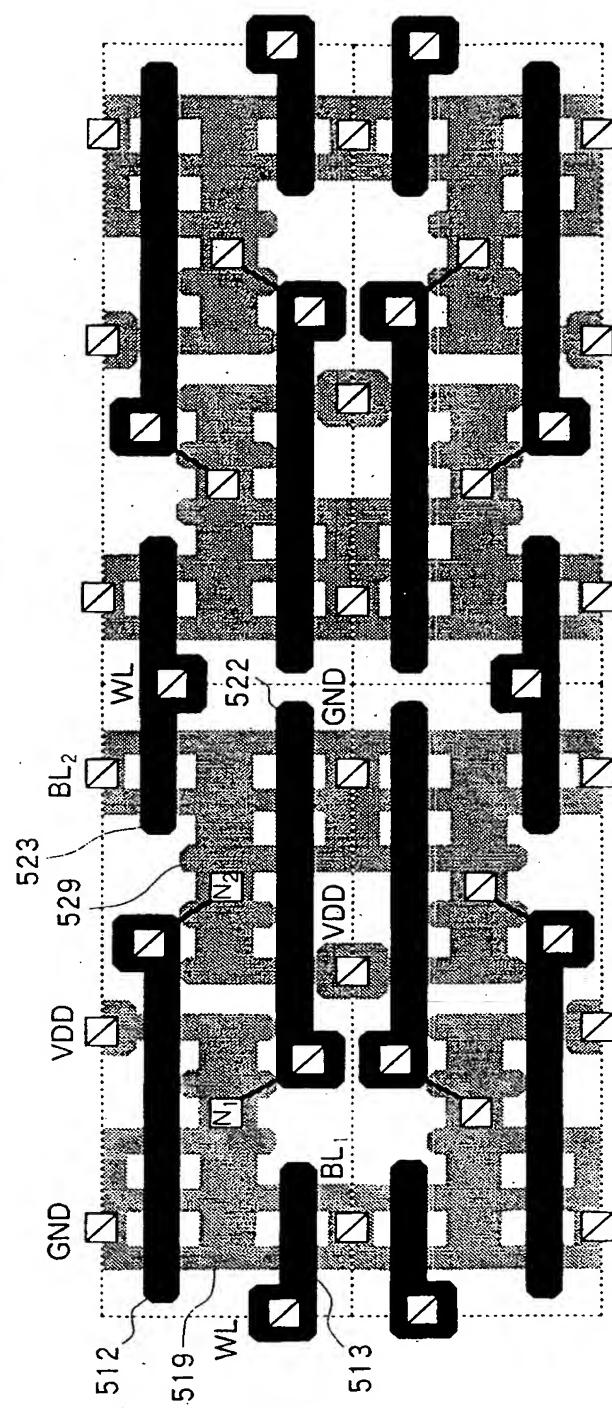


(b)

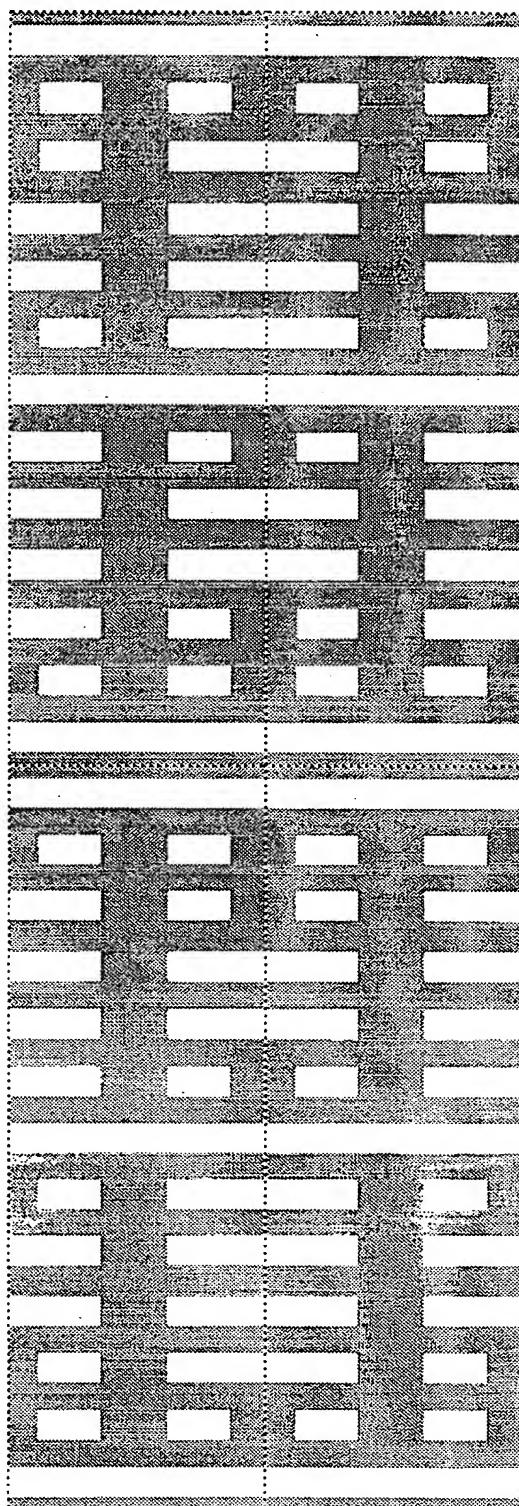
[図18]



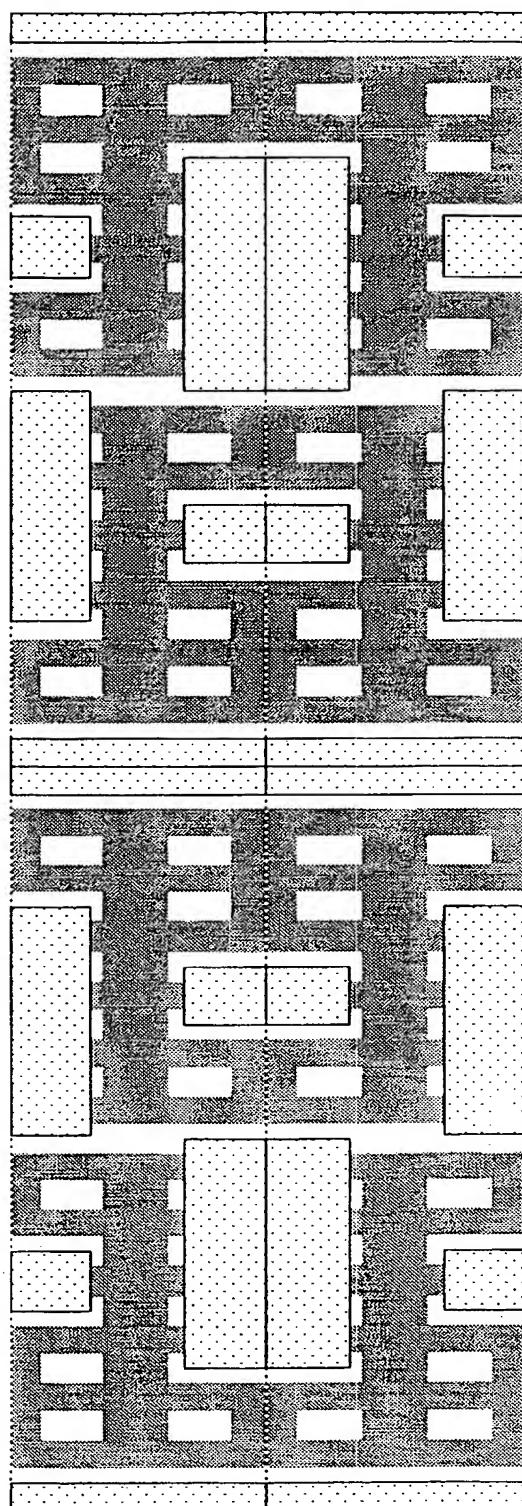
(a)



[図19]

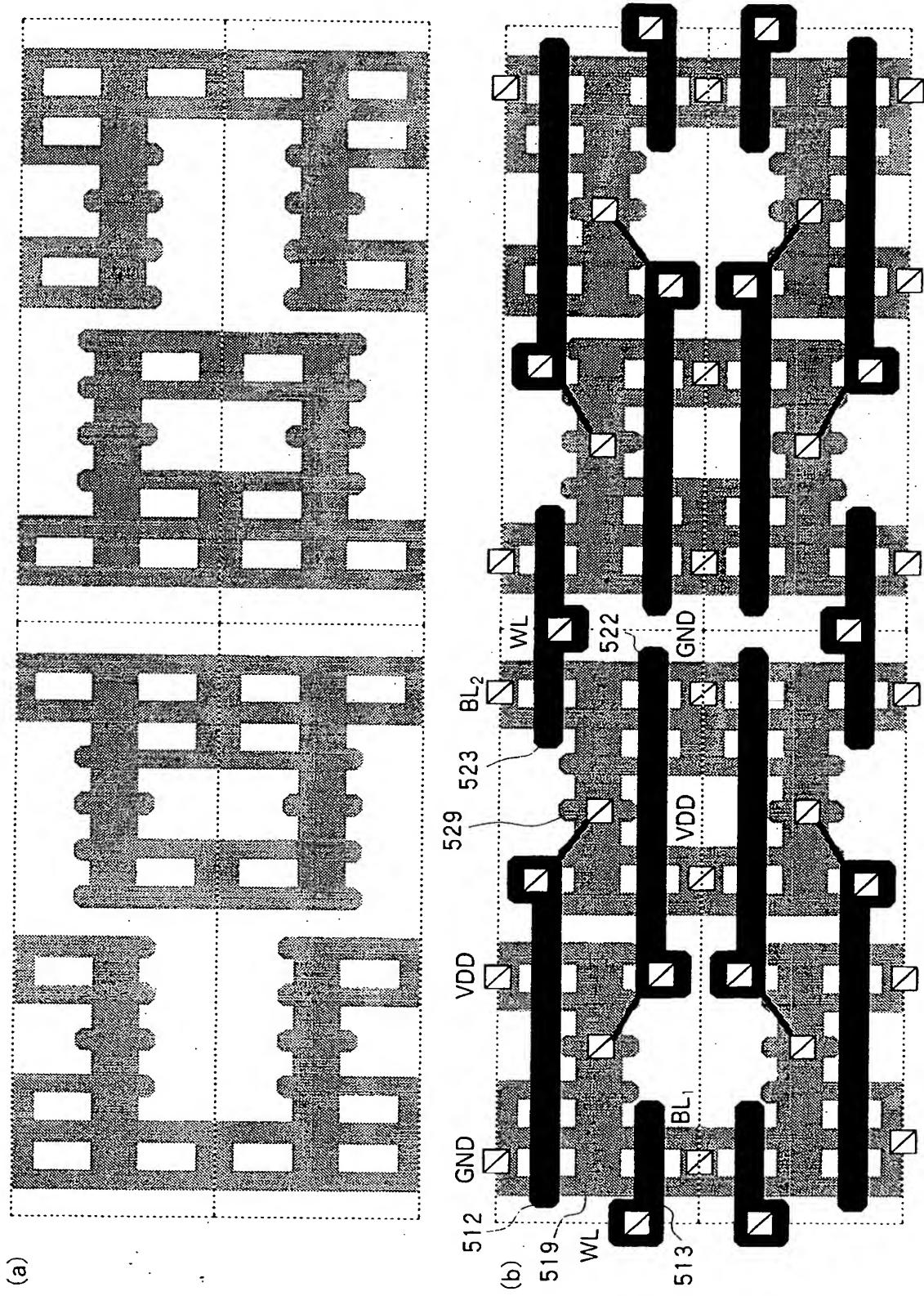


(a)

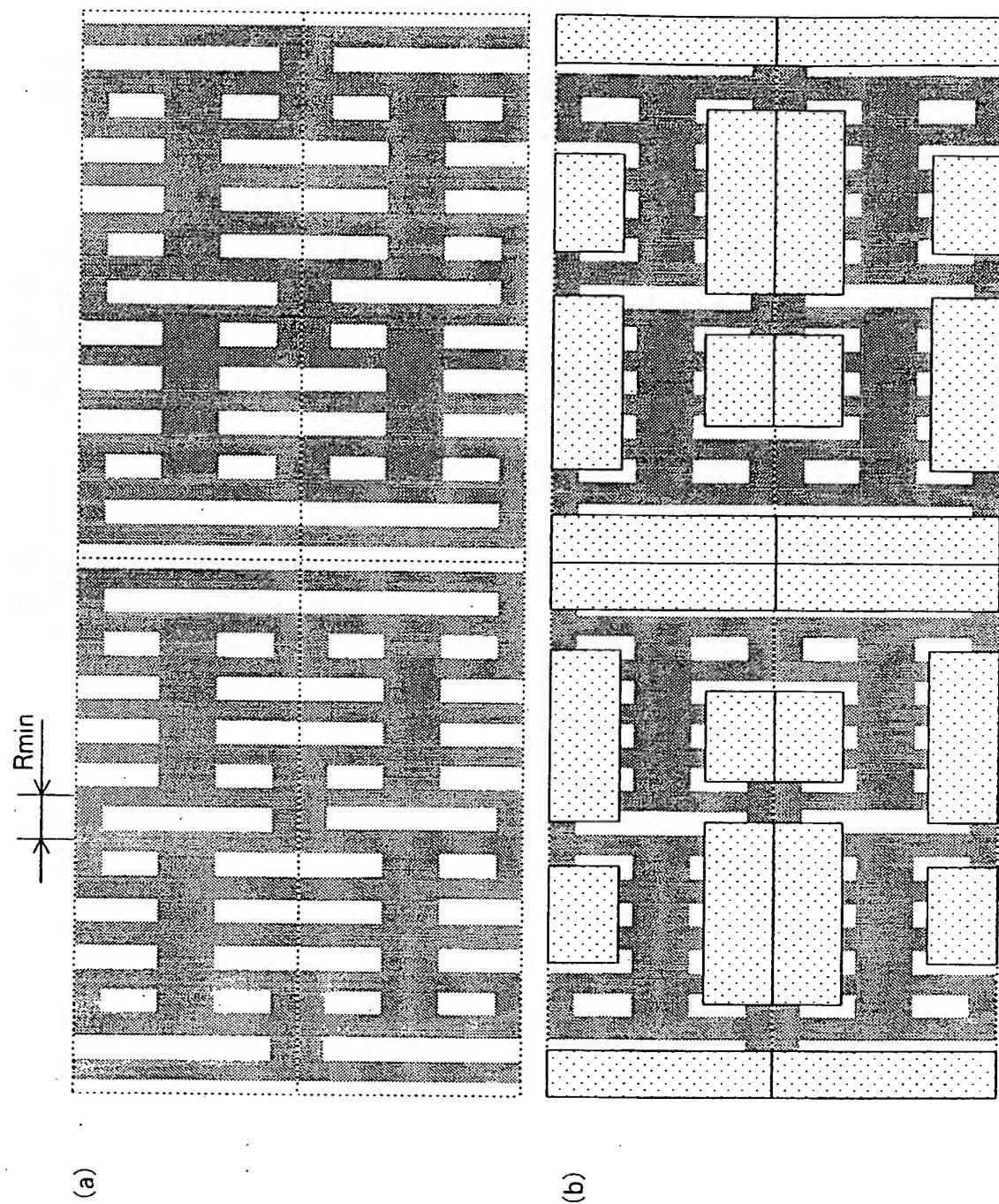


(b)

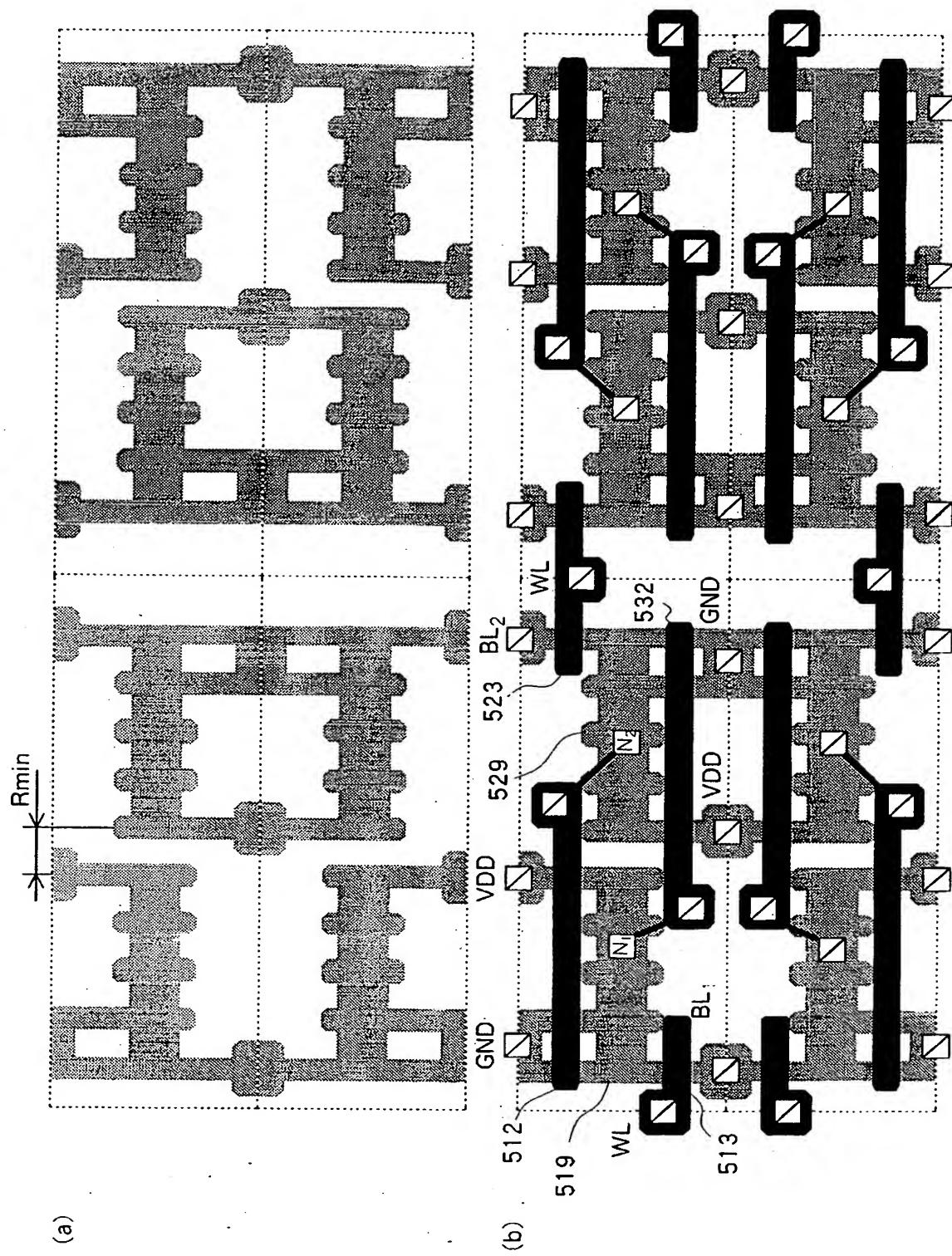
[図20]



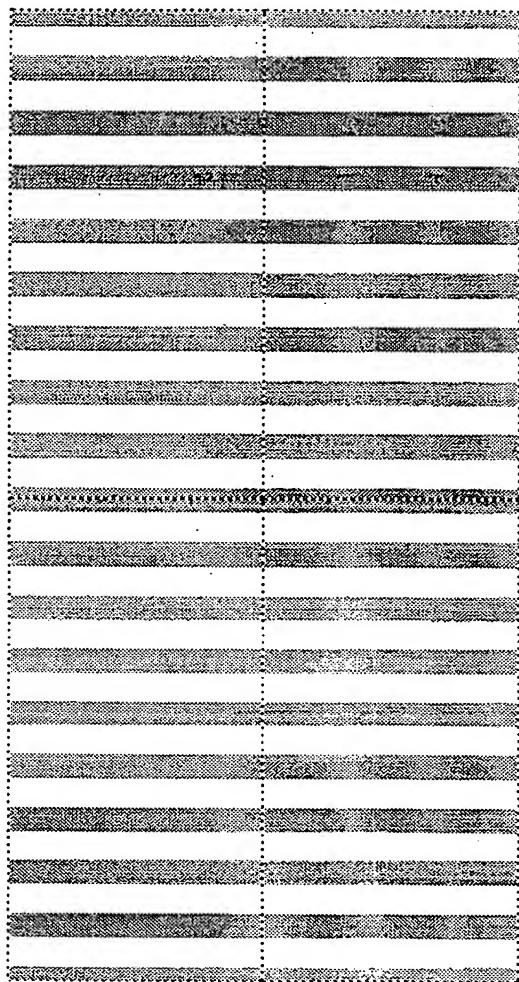
[図21]



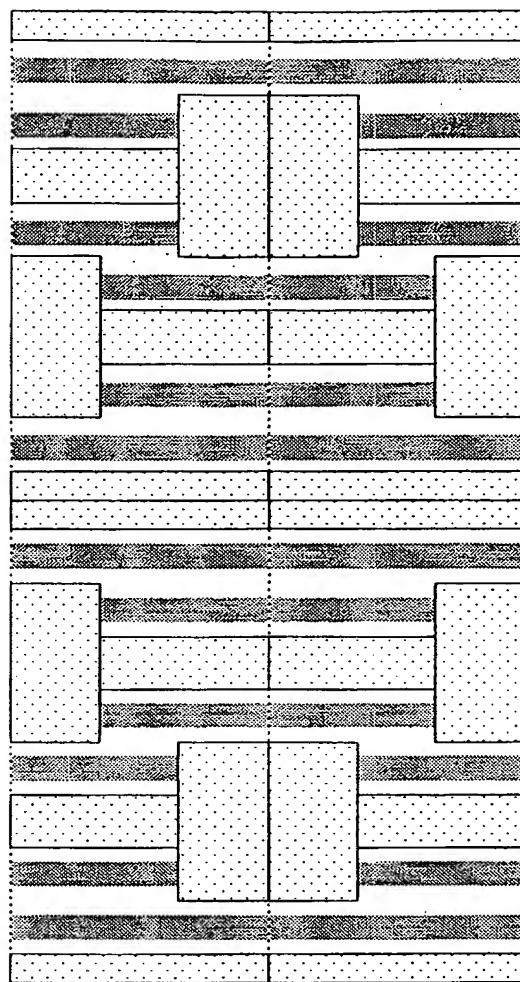
[図22]



[図23]

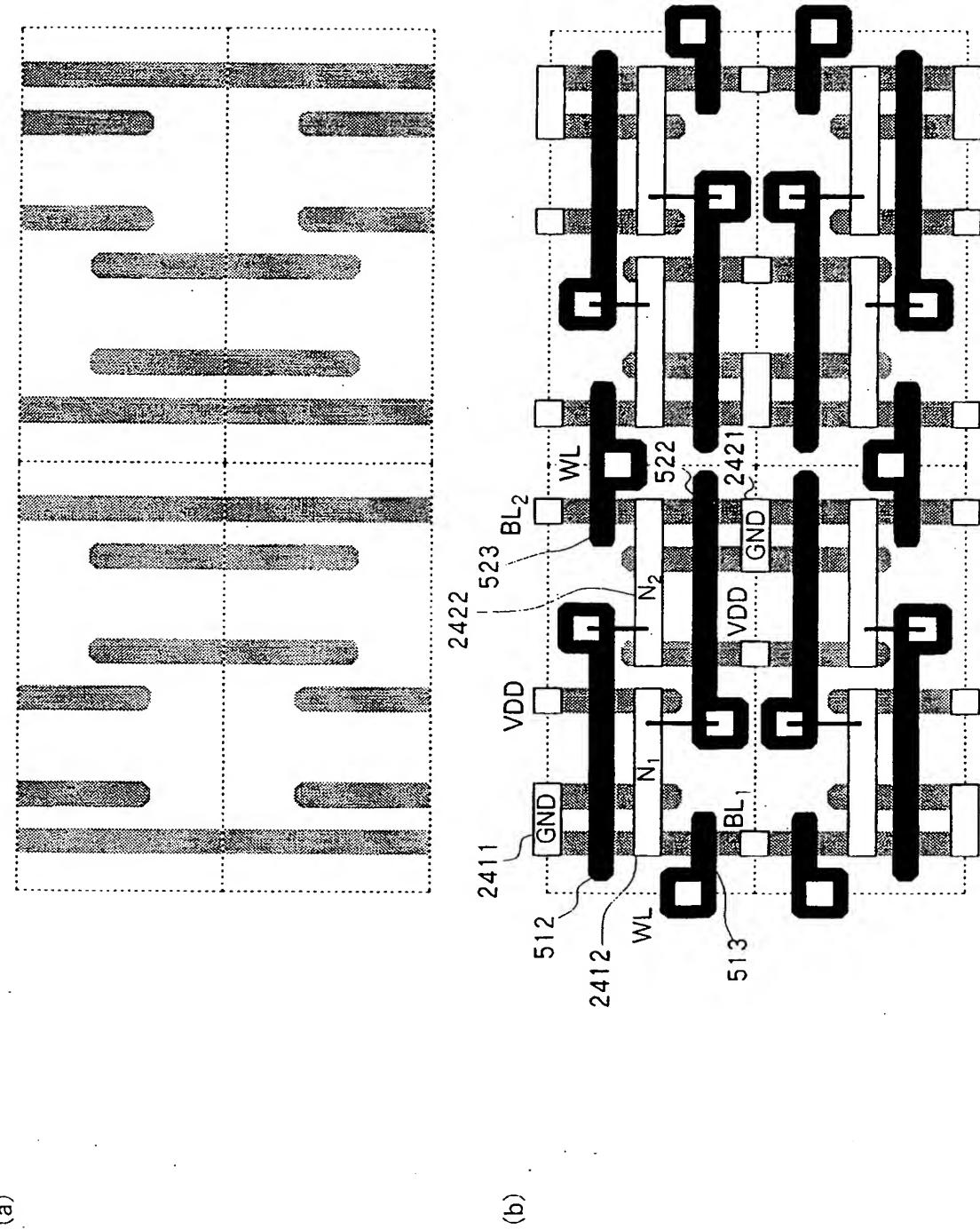


(a)

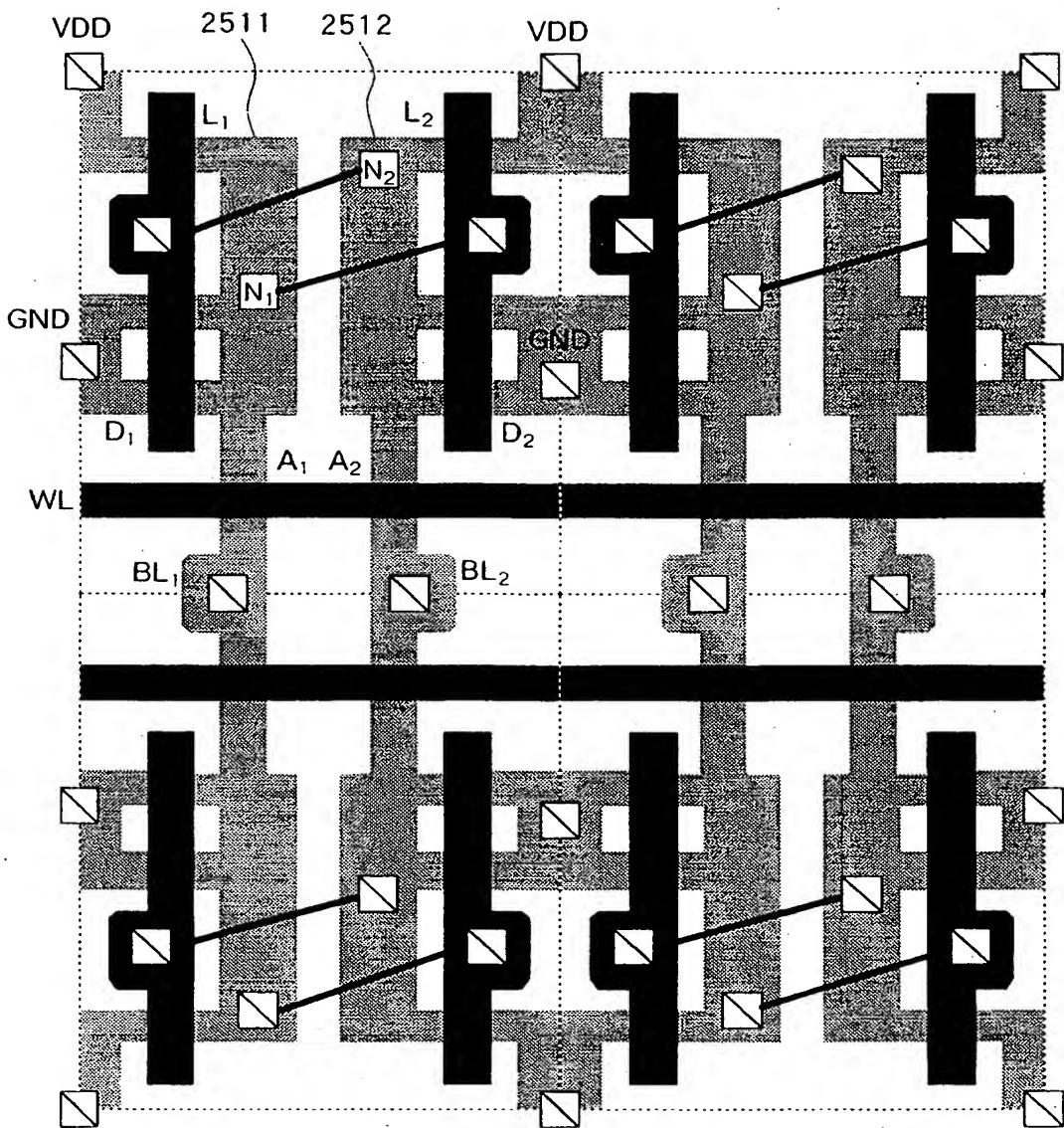


(b)

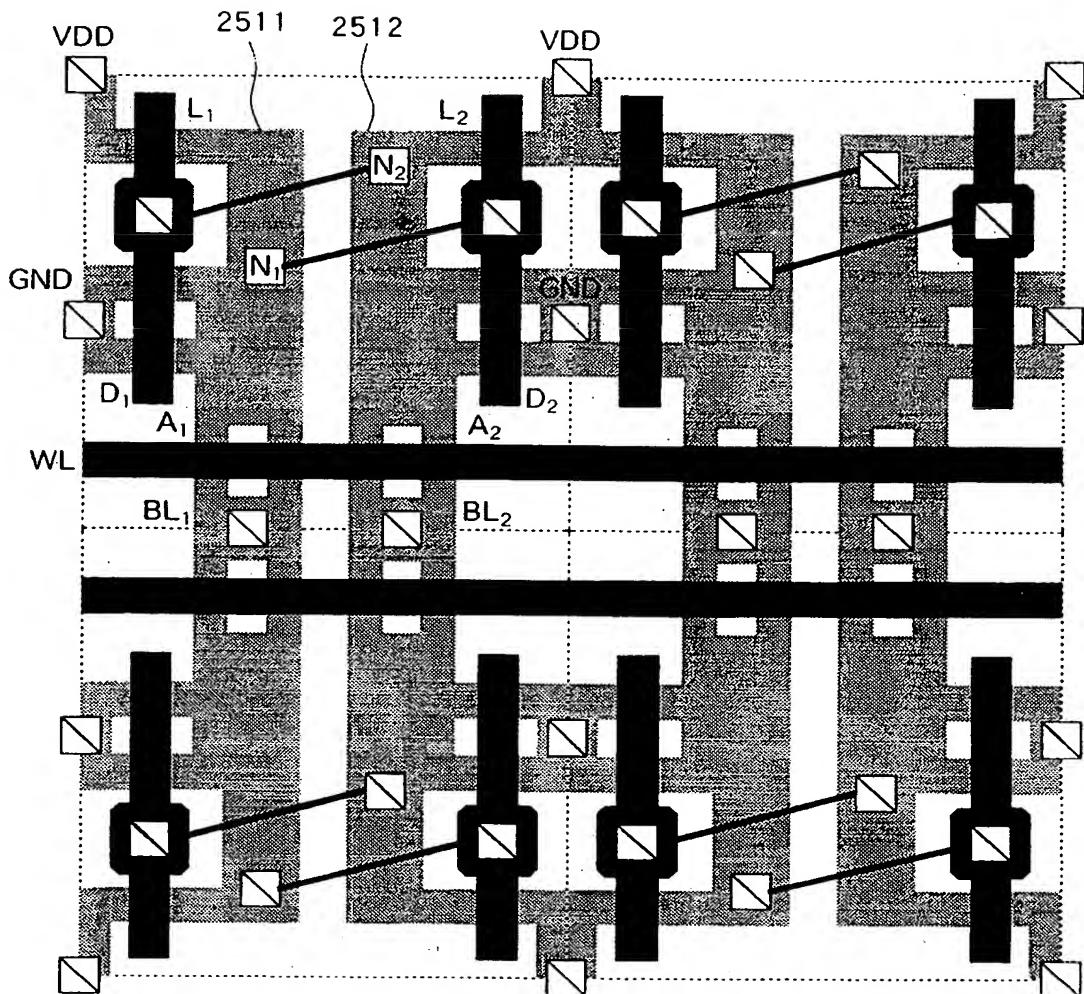
[図24]



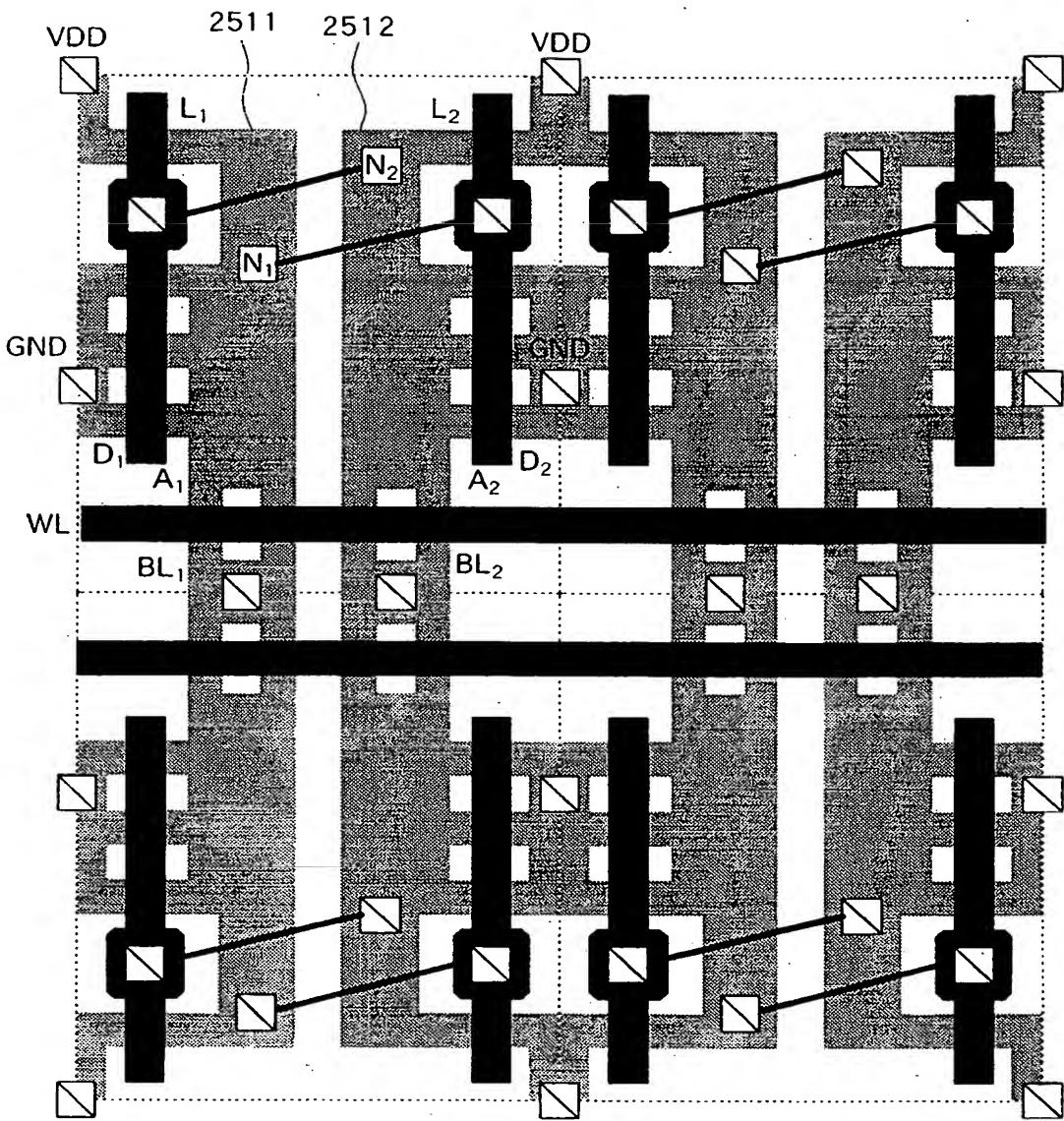
[図25]



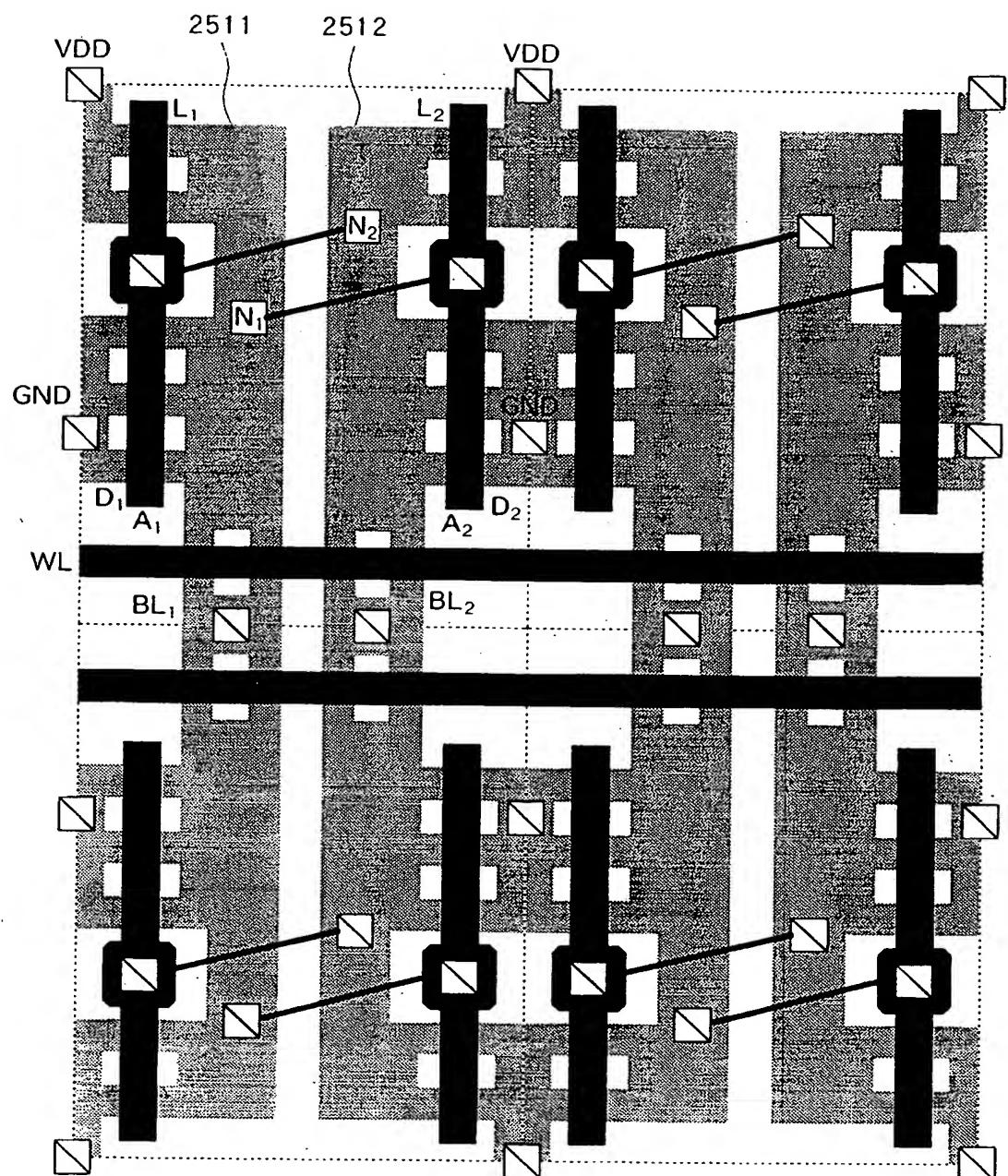
[図26]



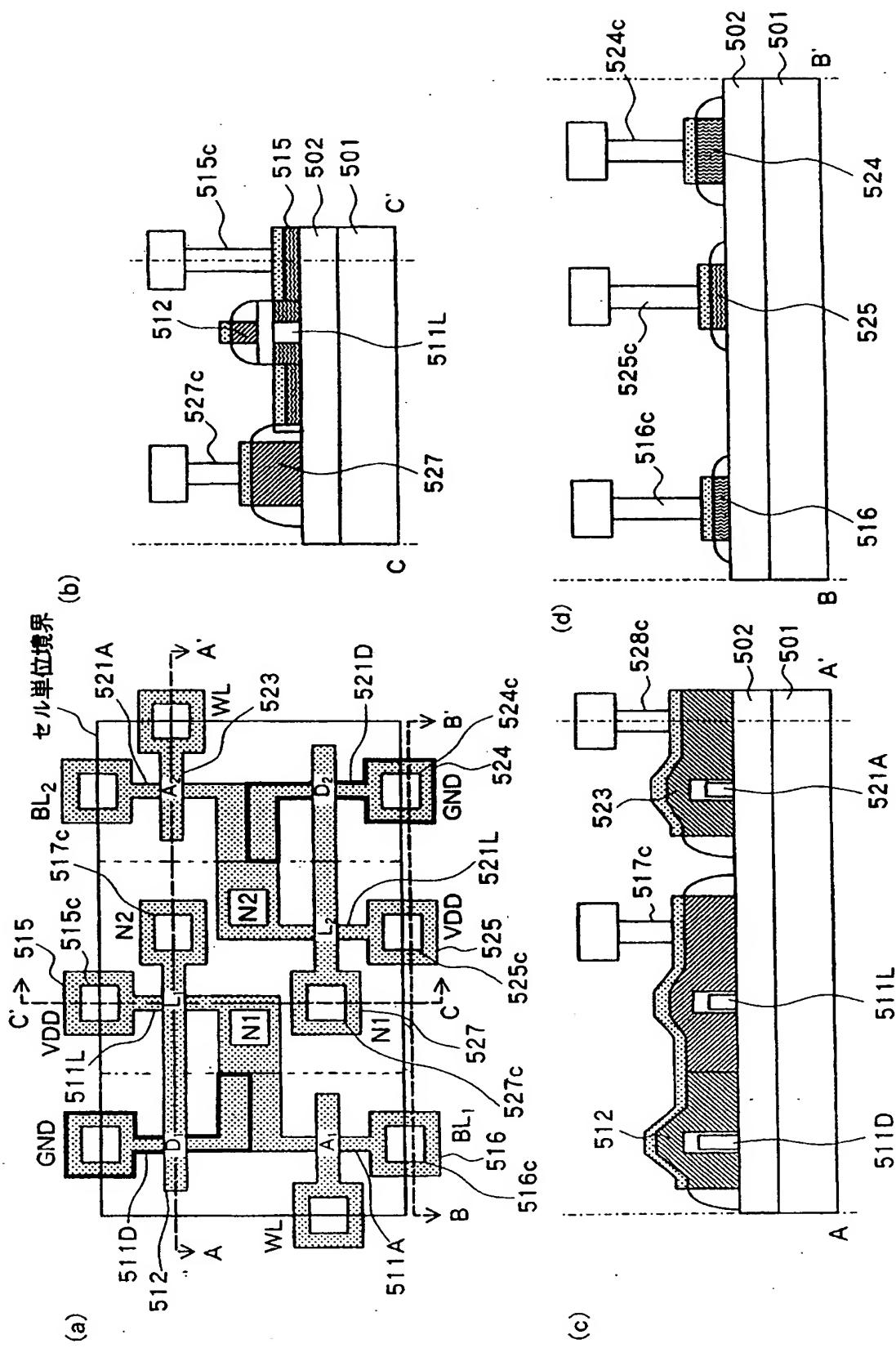
[図27]



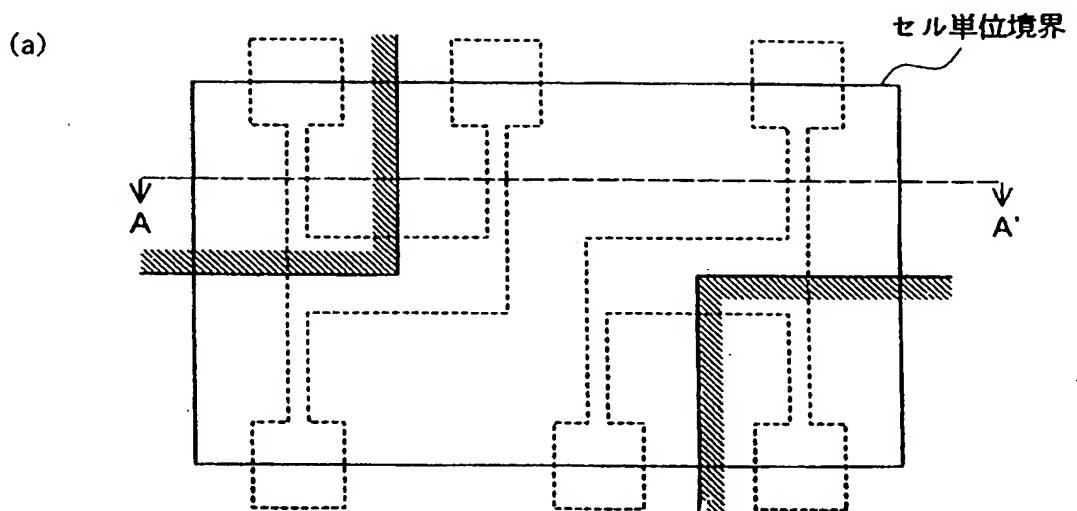
[図28]



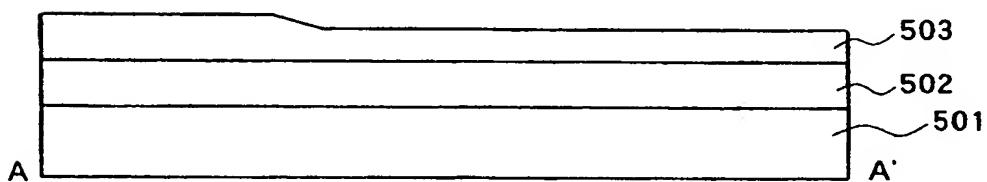
[ 29]



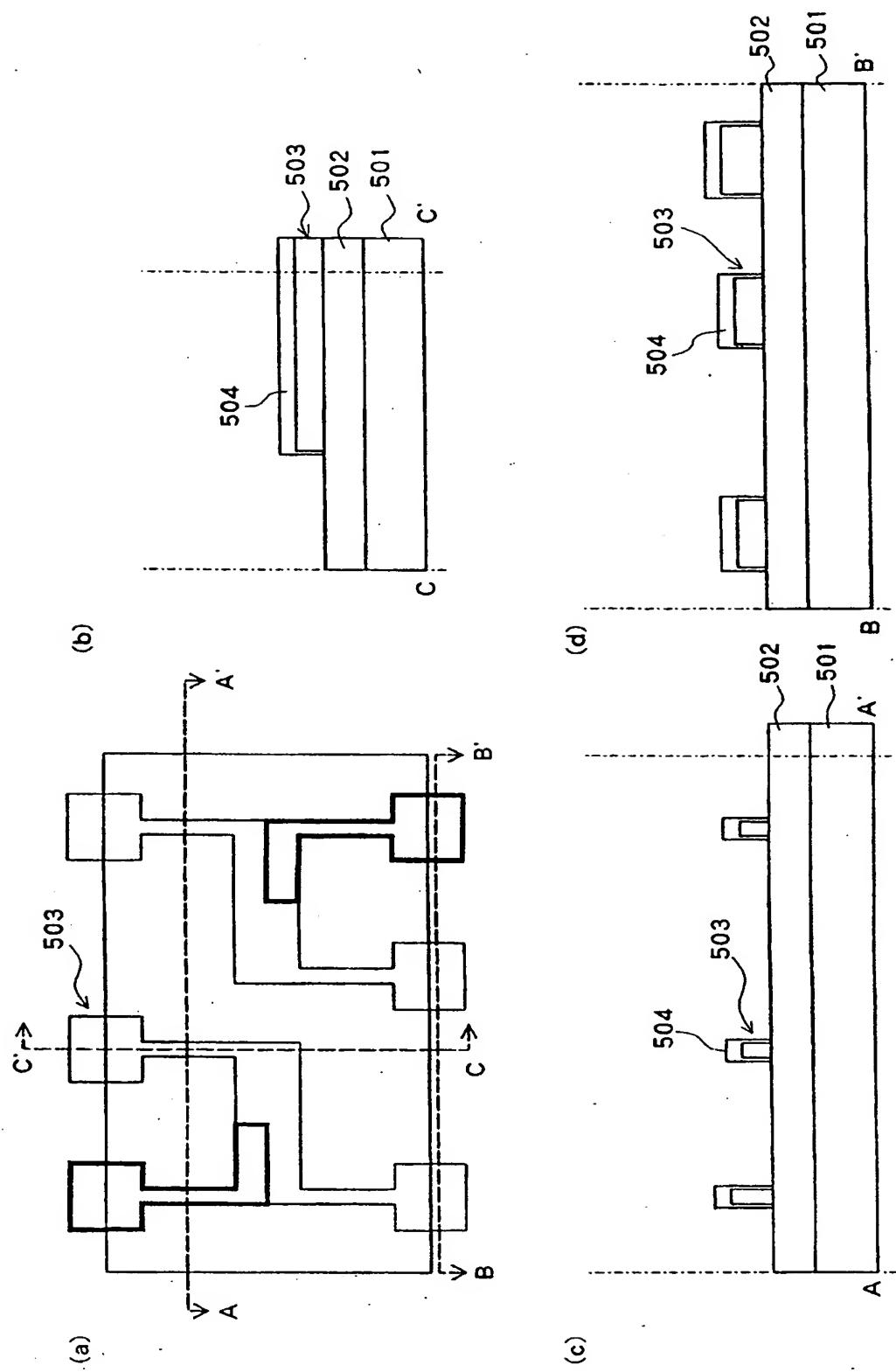
[図30]



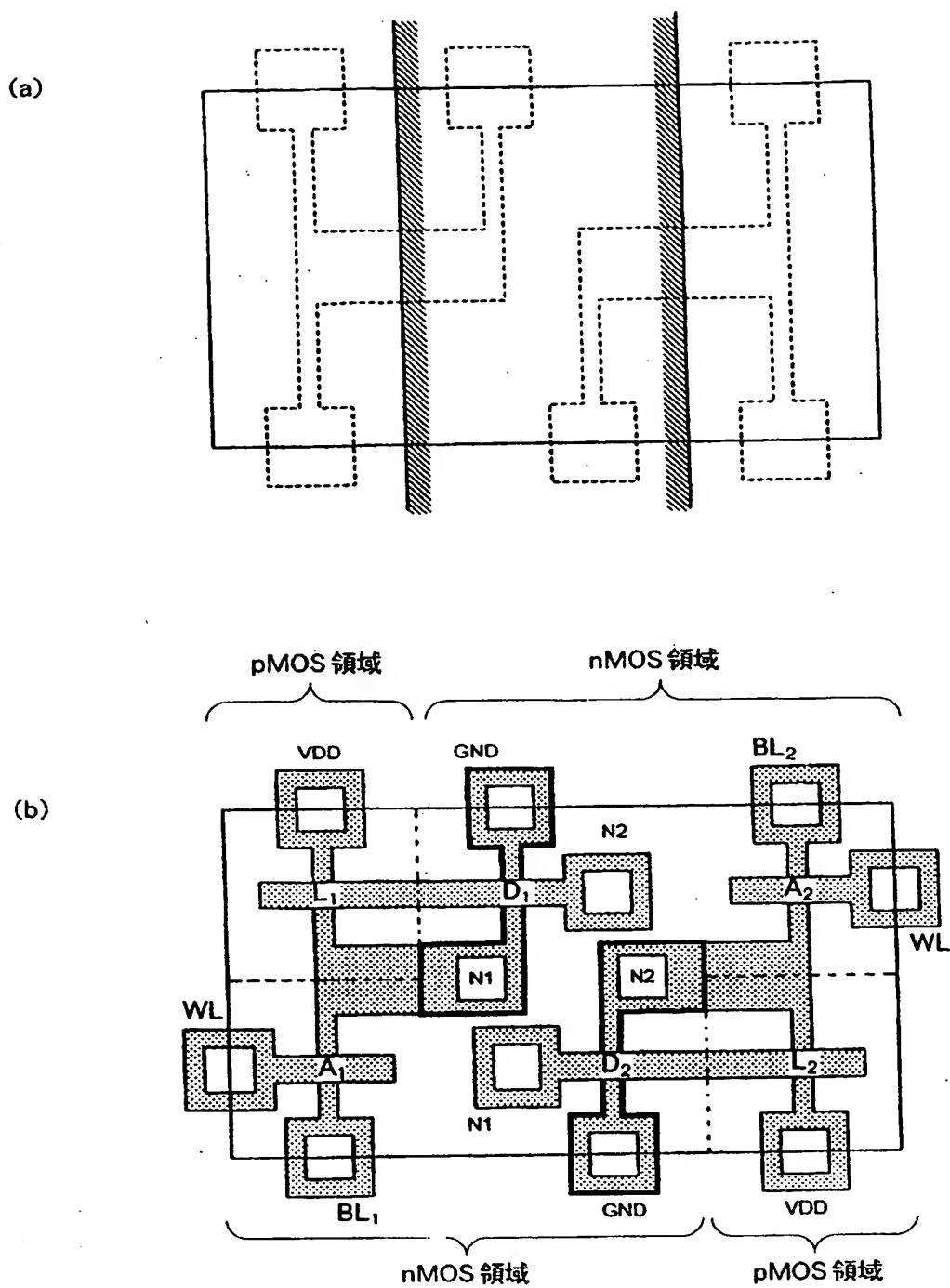
(b)



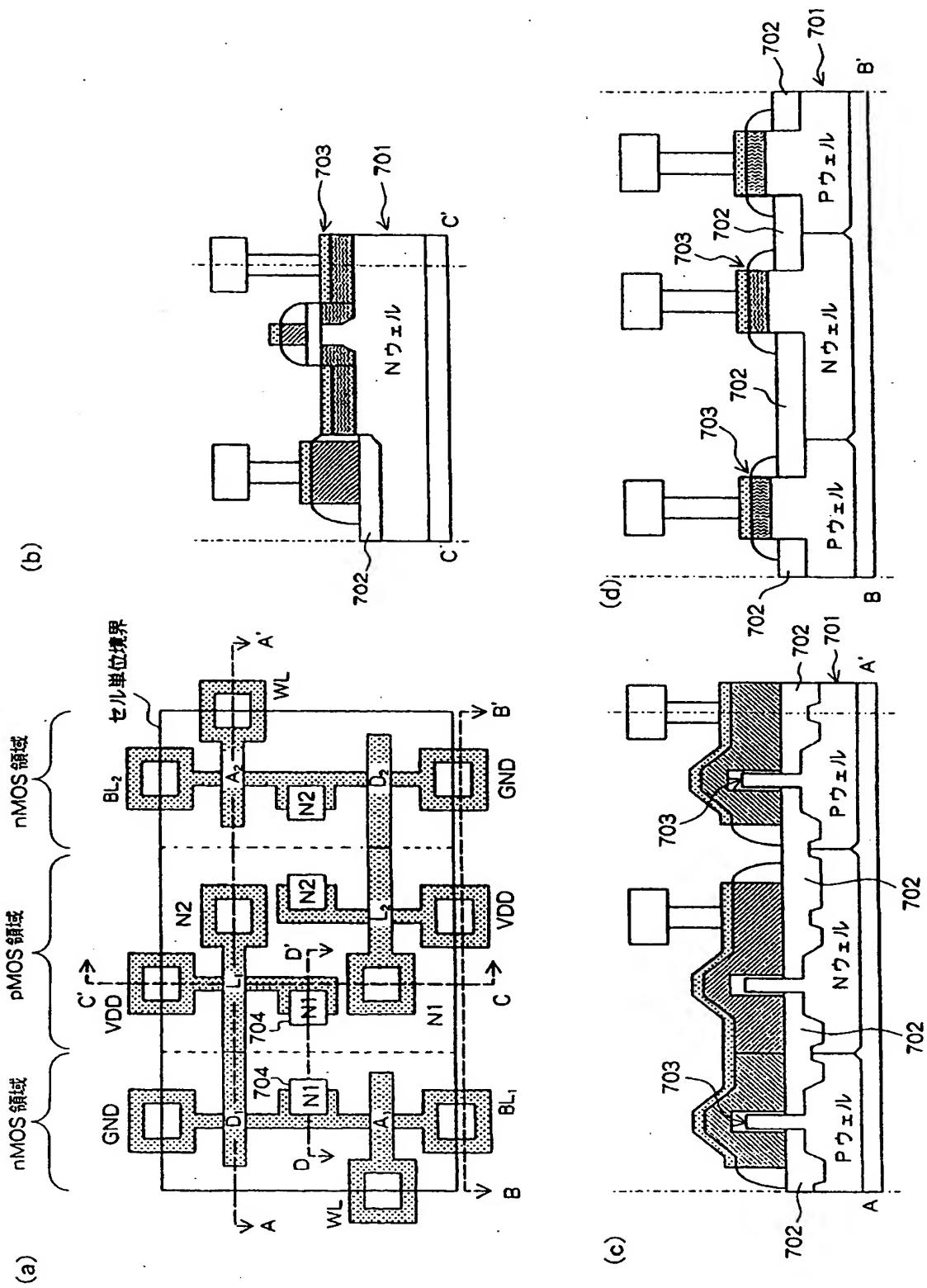
[図31]



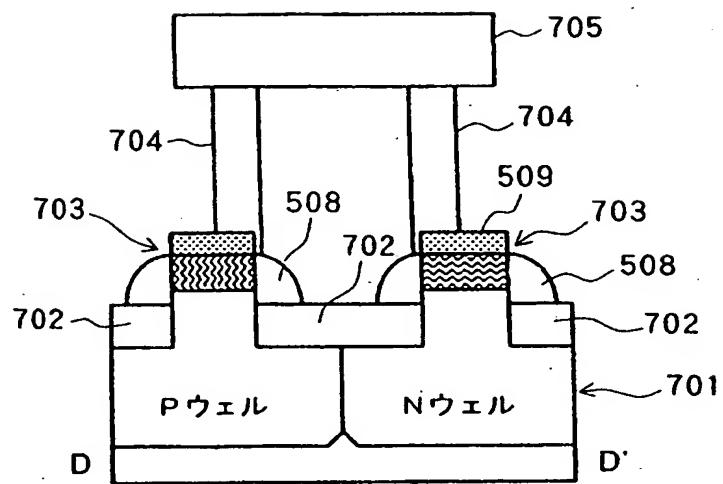
[図32]



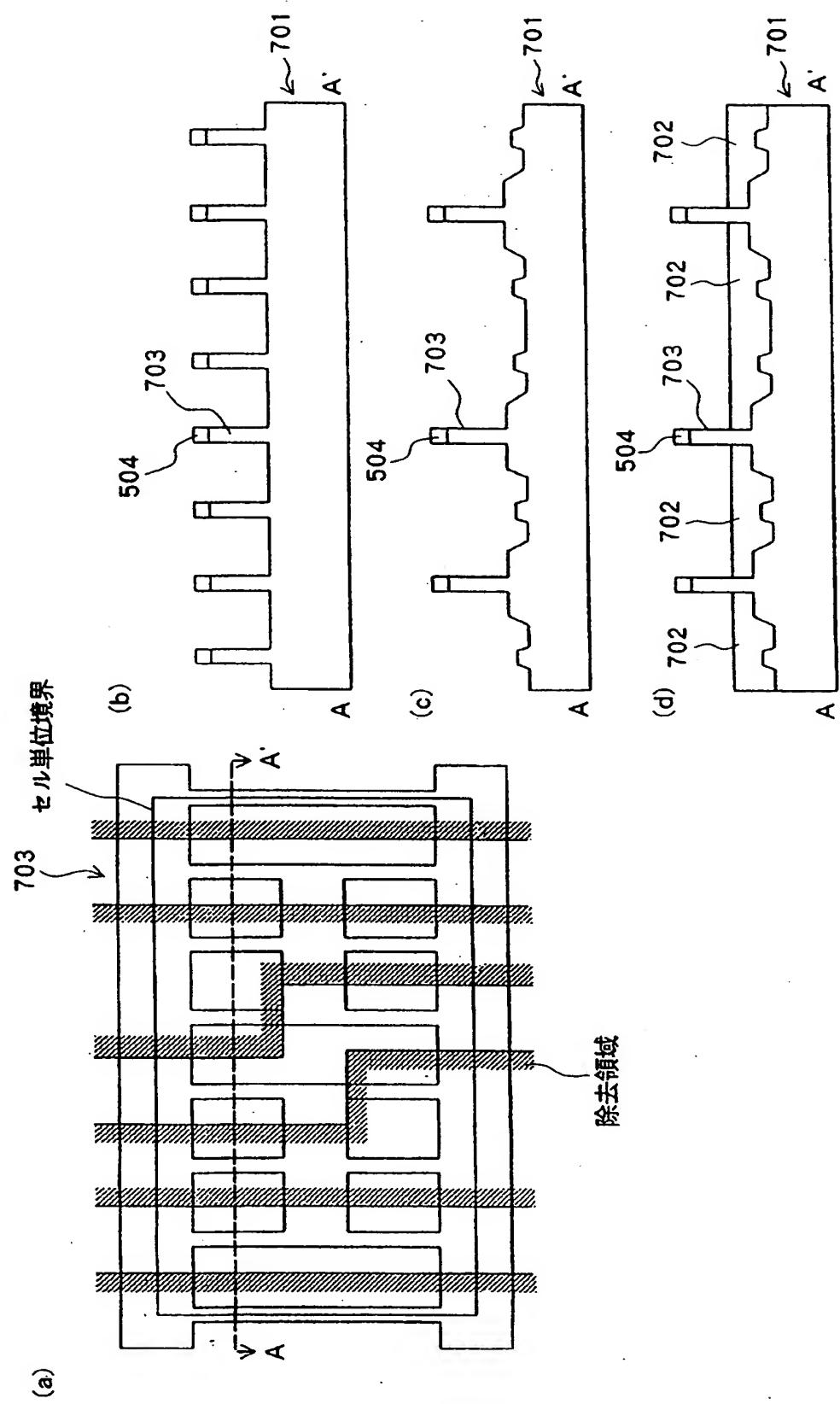
[図33]



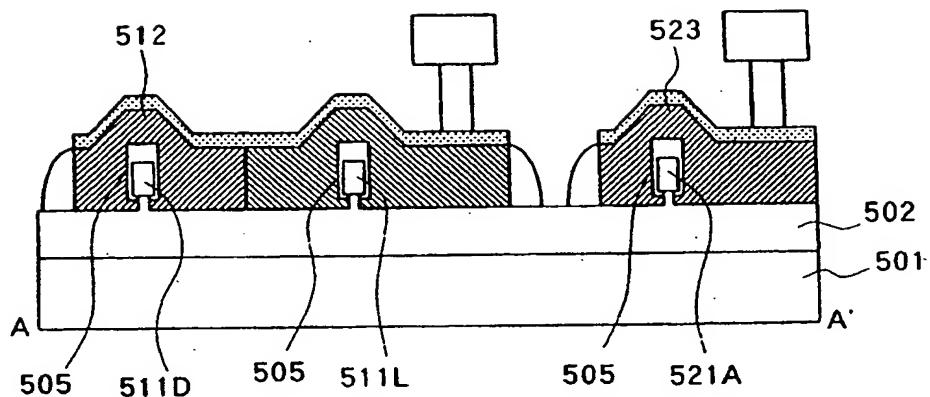
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009570

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L21/8244, 27/11

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L21/8244, 27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PARK et al., 'Static noise margin of the full DG-CMOS SRAM cell using bulk FinFETs (Omega MOSFETs)' In: IEEE International Electron Devices Meeting, 2003, IEDM '03 Technical Digest. pages 27 to 30	1-2
Y	JP 2002-368135 A (Hitachi, Ltd.), 20 December, 2002 (20.12.02), Figs. 8 to 10, 12 & US 2002/0186581 A1	3
A	E.J. NOWAK et al., 'A Functional FinFET-DGCMOS SRAM Cell' In: IEEE International Electron Devices Meeting, 2002. IEDM '02 Technical Digest. pages 411 to 414	1-3, 5, 8-28

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
23 August, 2005 (23.08.05)Date of mailing of the international search report
06 September, 2005 (06.09.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009570

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-229575 A (Hitachi, Ltd.), 15 August, 2003 (15.08.03), Full text (Family: none)	1-3, 5, 8-28
A	JP 2002-118255 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Full text & US 2002/0011612 A1	1-3, 5, 8-28
E, A	JP 2005-142289 A (Toshiba Corp.), 02 June, 2005 (02.06.05), Full text (Family: none)	1-3, 5, 8-28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009570

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

In order to satisfy the requirement of unity of invention by the group of inventions disclosed in claims, there should be a special technical feature so as to link the group of inventions to form a single general inventive concept. The group of inventions disclosed in claims 1-31 have common features that "the transistor constituting the SRAM is an FIN-type FET" and "the drive transistor have a channel width greater than the channel width of at least the load transistor or the access transistor".

(Continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4: No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 3 , 5 , 8 - 28

Remark on Protest

The additional search fees were accompanied by the applicant's protest.

No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009570

Continuation of Box No.III of continuation of first sheet (2)

However, these features cannot be a special technical feature since they are disclosed in document 1 given below (see, especially Abstract, Introduction, Table 1).

Accordingly, there exists no special technical feature for linking the group of inventions so as to form a single general inventive concept. Consequently, it is obvious that the group of inventions disclosed in claims 1-31 do not satisfy the requirement of unity of invention.

Next, the number of groups of inventions linked so as to form a general inventive concept disclosed in claims of the International Application is considered. Judging from the particular modes of the inventions disclosed in claims, claims 1-31 of the International Application is divided into four groups of inventions: claims 1-3, 5, 8-28, claim 4, claims 6-7, and claims 29-31.

Document 1: PART et al. 'Static noise margin of the full DG-CMOS SRAM cell using bulk FinFETs (Omega MOSFETs)' in: IEEE International Electron Devices Meeting, 2003. IDEM '03 Technical Digest. pages 27-39

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8244, 27/11

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8244, 27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	PARK et al. 'Static noise margin of the full DG-CMOS SRAM cell using bulk FinFETs (Omega MOSFETs)', In: IEEE International Electron Devices Meeting, 2003. IEDM '03 Technical Digest. pages 27-30	1-2
Y	JP 2002-368135 A (株式会社日立製作所) 2002. 12. 20. 第8-10図、第12図 & US 2002/0186581 A1	3
Y	JP 2002-368135 A (株式会社日立製作所) 2002. 12. 20. 第8-10図、第12図 & US 2002/0186581 A1	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23.08.2005

国際調査報告の発送日

06.9.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M 9276

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	E. J. NOWAK et al., 'A Functional FinFET-DGCMOS SRAM Cell' In: IEEE International Electron Devices Meeting, 2002. IEDM '02 Technical Digest. pages 411-414	1-3, 5, 8-28
A	JP 2003-229575 A (株式会社日立製作所) 2003. 08. 15 全文 (ファミリーなし)	1-3, 5, 8-28
A	JP 2002-118255 A (株式会社東芝) 2002. 04. 19 全文 & US 2002/0011612 A1	1-3, 5, 8-28
E, A	JP 2005-142289 A (株式会社東芝) 2005. 06. 02 全文 (ファミリーなし)	1-3, 5, 8-28

第二欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT第17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲_____は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲_____は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲_____は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第三欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を單一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-31に記載されている一群の発明は、「SRAMを構成するトランジスタがFIN型FETで構成され」、「駆動トランジスタは負荷トランジスタ及びアクセストランジスタの少なくとも一方の各トランジスタのチャネル幅より広いチャネル幅を有する」という事項でのみ連関していると認めるが、この事項は、後述する文献1（特に、Abstract, Introduction, Table 1. 参照。）に記載されているため、特別な技術的特徴とはなり得ない。

（以下、特別ページ参照。）

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-3, 5, 8-28

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第1ページの続葉 (2) の第III欄の続き)

そうすると、請求の範囲 1 – 3 1 に記載されている一群の発明の間には、单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲 1 – 3 1 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討すると、請求の範囲に記載されている発明の特定の態様から判断して、この国際出願の請求の範囲 1 – 3 1 には、請求の範囲 1 – 3, 5, 8 – 2 8 と、請求の範囲 4 と、請求の範囲 6 – 7 と、請求の範囲 2 9 – 3 1 と、に区分される 4 個の発明が記載されていると認める。

文献 1 : PARK et al. 'Static noise margin of the full DG-CMOS SRAM cell using bulk FinFETs (Omega MOSFETs)' In: IEEE International Electron Devices Meeting, 2003. IEDM '03 Technical Digest. pages 27-30

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.